

# 32 位微控制器

## HC32L12x 系列注意事项

---

# 应用笔记

Rev1.01 2026 年 04 月

## 适用对象

产品系列	产品型号
L 系列	HC32L121 HC32L126

## 声 明

- ★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- ★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- ★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- ★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- ★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。
- ★ 本通知中的信息取代并替换先前版本中的信息。

©2026 小华半导体有限公司 保留所有权利

## 目 录

适用对象.....	2
声 明.....	3
目 录.....	4
1 摘要.....	6
2 HC32L12x 系列的注意事项.....	7
2.1 系统和时钟注意事项.....	9
2.1.1 VCAP 引脚不是 VBAT，不能接电源，所接最小电容参考各型号数据手册.....	9
2.1.2 每个 DVCC 和 AVCC 引脚都需要配置去耦电容，尽量靠近相应引脚.....	9
2.1.3 BOOT 引脚：上电或复位时为高电平，ISP 编程模式；上电或复位时为低电平，用户模式.....	9
2.1.4 NRESET 脚内部有弱上拉，但从系统可靠性角度仍建议外接复位电路.....	9
2.1.5 SWD 接口失效的原因.....	9
2.1.6 MCU 自带的 ISP 模式使用的 UART 引脚是固定的.....	10
2.1.7 I/O 端口电压不能大于 Vcc.....	10
2.1.8 芯片加密.....	10
2.1.9 外接晶振电路.....	10
2.1.10 XTH 的配置.....	11
2.1.11 XTL 的配置.....	11
2.1.12 外部输入时钟使用注意事项.....	11
2.2 复位控制器.....	11
2.2.1 复位模块对应控制位需要先写 0 再写 1.....	11
2.3 Flash.....	11
2.3.1 Flash 取指等待周期.....	11
2.3.2 Flash 擦除或写操作后，需要将 FLASH_CR.OP 设置为 0.....	11
2.4 超低功耗.....	12
2.4.1 进入超低功耗前 ADC 的处理.....	12
2.4.2 进入超低功耗前 I/O 的处理.....	12
2.4.3 进入超低功耗模式前需要将 FLAHS_CR.OP 清零.....	12
2.4.4 进入超低功耗后的再调试和再烧录.....	12
2.4.5 XTH 作为系统时钟，需进入 DeepSleep 模式.....	12
2.5 ADC.....	13
2.5.1 模拟电源脚的处理.....	13
2.5.2 被采样信号的阻抗大或者信号弱，需要降低采样率，或者使能内部 buf.....	13
2.5.3 使用 ADC 前需要先使能 BGR.....	13
2.5.4 ADC 信号的电压不能超过 ADC 参考电压.....	13

2.5.5	提高 ADC 采样精度的有效方法 .....	13
2.5.6	ADC 1Msps 采样率使用注意事项 .....	13
2.6	LCD .....	14
2.6.1	对驱动能力或功耗要求较高的屏，需要选择外部电阻或电容模式 .....	14
2.6.2	因 BOOT 脚限制，无法使用所有 SEG .....	14
2.7	BGR .....	14
2.7.1	BGR 的相关模块 .....	14
2.8	SPI .....	14
2.8.1	SPI 发送帧的末尾 bit 宽度问题 .....	14
2.9	LVD .....	15
2.9.1	LVD 的输入接在 LVD 比较器的负相，参考电压接在 LVD 比较器的正相 .....	15
2.9.2	LVD 使能之后需要添加延时时间 .....	15
2.10	WDT .....	15
2.10.1	IWDT 时钟使用专用 10K 时钟，建议在 IWDT 计数器计数值到达溢出值的一半之前对 IWDT 进行清零 .....	15
2.11	GPIO .....	15
2.11.1	SWD 引脚复用为 GPIO .....	15
2.11.2	GPIO 与外界接口直连，如存在带电插拔，需要加保护电路 .....	15
2.11.3	IO 内部上下拉电阻 .....	16
2.11.4	BOOT 脚对应的 GPIO 编号 .....	16
2.12	DMA .....	16
2.12.1	带有 DMA 功能的 MCU，如要通过 DMA 将数据从 GPIO 输出，需要将 GPIO 的总线设置为 AHB 总线 .....	16
2.13	HSI2C .....	16
2.13.1	HSI2C 作为从机时从 DeepSleep 模式唤醒 .....	16
<b>版本修订记录 .....</b>		<b>17</b>

## 1 摘要

本文档主要介绍 HC32L12x 系列芯片的使用注意事项和变通措施。

## 2 HC32L12x 系列的注意事项

表 2-1 注意事项统计

注意事项	具体注意事项内容
2.1 系统和时钟注意事项	2.1.1 VCAP 引脚不是 VBAT，不能接电源，所接最小电容参考各型号数据手册
	2.1.2 每个 DVCC 和 AVCC 引脚都需要配置去耦电容，尽量靠近相应引脚
	2.1.3 BOOT 引脚：上电或复位时为高电平，ISP 编程模式；上电或复位时为低电平，用户模式
	2.1.4 NRESET 脚内部有弱上拉，但从系统可靠性角度仍建议外接复位电路
	2.1.5 SWD 接口失效的原因
	2.1.6 MCU 自带的 ISP 模式使用的 UART 引脚是固定的
	2.1.7 I/O 端口电压不能大于 Vcc
	2.1.8 芯片加密
	2.1.9 外接晶振电路
	2.1.10 XTH 的配置
	2.1.11 XTL 的配置
	2.1.12 外部输入时钟使用注意事项
2.2 复位控制器	2.2.1 复位模块对应控制位需要先写 0 再写 1
2.3 Flash	2.3.1 Flash 取指等待周期
	2.3.2 Flash 擦除或写操作后，需要将 FLASH_CR.OP 设置为 0
2.4 超低功耗	2.4.1 进入超低功耗前 ADC 的处理
	2.4.2 进入超低功耗前 I/O 的处理
	2.4.3 进入超低功耗模式前需要将 FLAHS_CR.OP 清零
	2.4.4 进入超低功耗后的再调试和再烧录
	2.4.5 XTH 作为系统时钟，需进入 DeepSleep 模式
2.5 ADC	2.5.1 模拟电源脚的处理
	2.5.2 被采样信号的阻抗大或者信号弱，需要降低采样率，或者使能内部 buf
	2.5.3 使用 ADC 前需要先使能 BGR
	2.5.4 ADC 信号的电压不能超过 ADC 参考电压
	2.5.5 提高 ADC 采样精度的有效方法
	2.5.6 ADC 1Msps 采样率使用注意事项
2.6 LCD	2.6.1 对驱动能力或功耗要求较高的屏，需要选择外部电阻或电容模式
	2.6.2 因 BOOT 脚限制，无法使用所有 SEG
2.7 BGR	2.7.1 BGR 的相关模块
2.8 SPI	2.8.1 SPI 发送帧的末尾 bit 宽度问题
2.9 LVD	2.9.1 LVD 的输入接在 LVD 比较器的负相，参考电压接在 LVD 比较器的正相
	2.9.2 LVD 使能之后需要添加延时时间
2.10 WDT	2.10.1 IWDT 时钟使用专用 10K 时钟，建议在 IWDT 计数器计数值到达溢出值的一半之前对 IWDT 进行清零
2.11 GPIO	2.11.1 SWD 引脚复用为 GPIO

注意事项	具体注意事项内容
	2.11.2 GPIO 与外界接口直连，如存在带电插拔，需要加保护电路
	2.11.3 IO 内部上下拉电阻
	2.11.4 BOOT 脚对应的 GPIO 编号
2.12 DMA	2.12.1 带有 DMA 功能的 MCU，如要通过 DMA 将数据从 GPIO 输出，需要将 GPIO 的总线设置为 AHB 总线
2.13 HSI2C	2.13.1 HSI2C 作为从机时从 DeepSleep 模式唤醒

## 2.1 系统和时钟注意事项

### 2.1.1 VCAP 引脚不是 VBAT，不能接电源，所接最小电容参考各型号数据手册

- 应用注意

- a. VCAP 为内核电压滤波引脚，必须通过电容接地，不能用作其他功能或悬空。

**注意：**各系列的最小允许电容请参考各个系列的数据手册。

- b. 电容尽量靠近 VCAP 引脚。

### 2.1.2 每个 DVCC 和 AVCC 引脚都需要配置去耦电容，尽量靠近相应引脚

- 应用注意

每个 DVCC 和 AVCC 引脚都需要配置去耦电容，尽量靠近相应电源管脚。具体容值可以针对板子的实际情况确定。

### 2.1.3 BOOT 引脚：上电或复位时为高电平，ISP 编程模式；上电或复位时为低电平，用户模式

- 应用注意

- a. 作为用户模式时，在上电或者复位时候 BOOT 脚必须为低电平输入。MCU 上电或者复位时检测 BOOT 脚状态，输入低电平时直接进入用户主程序，输入高电平时进入引导程序（用于 ISP 模式 (UART)烧录）。

**注意：**上电或者复位时 BOOT 脚如不是低电平，不能进入用户主程序。

- b. 不建议 BOOT 脚用于其他功能。
- c. 如果要将 BOOT 脚作为 GPIO 使用，注意上电或者复位时候，BOOT 的外围电路能让该引脚保持下拉状态。

### 2.1.4 NRESET 脚内部有弱上拉，但从系统可靠性角度仍建议外接复位电路

- 应用注意

在 MCU 内部，NRESET 有弱上拉，但从系统可靠性角度考虑，仍建议参照数据手册推荐电路外接复位电路。

### 2.1.5 SWD 接口失效的原因

- 原因描述

- a. 烧录用户程序并且加密，烧录完成并且再次上电或复位后，SWD 就无法连接。
- b. 芯片因错误程序导致不能再次使用 SWD 连接和下载。
- c. 复位后立即将 SWD 接口改为 GPIO 接口，导致仿真器或烧录器连接不上。

- 恢复方法
- a. 使用在线编程工具，使用片擦除方式将 MCU 上的用户程序擦除。
- b. 使用离线编程工具，配置一个正常样例，选择片擦除且不加密，然后下载一次程序。
- c. 针对上述芯片加密原因以外的情况，在调试程序阶段：可以在 main 开头加 1s 以上的延时时间，以便在下次上电或者复位后可以再次通过 SWD 接口烧录程序；或者在 main 开头通过检测某个 IO 输入的外部电平，判断是否继续执行后续程序。

### 2.1.6 MCU 自带的 ISP 模式使用的 UART 引脚是固定的

- 应用注意
- 该系列 ISP 引脚和 SWD 引脚复用。

具体可以参考在线编程器或者离线编程器的用户手册。

### 2.1.7 I/O 端口电压不能大于 Vcc

- 应用注意
- a. 所有 I/O 电压不能大于 VCC。

**注：**工程师调试时喜欢用 PC+USB-UART+串口调试助手来查看 UART 送出的数据。这时如果 UART 电平大于 MCU 电源电压 VCC，会有问题。

- b. 当 I/O 先于 Vcc 上电，或者 I/O 引脚上有电而 Vcc 不供电的时候，从这个 I/O 引脚灌入的电压，也可能导致 MCU 运行，但可能运行不正常。如果不能避免这样的情况，建议在这个 I/O 串联合适的电阻，限制灌入 MCU 的电压和电流，避免 MCU 在此等情况下运行。

### 2.1.8 芯片加密

- 应用注意
- 芯片加密之后不能仿真和下载，需要通过 ISP 接口，利用在线或者离线编程器执行片擦除操作之后，方可恢复仿真和下载。

### 2.1.9 外接晶振电路

- 应用注意
- a. 外部晶振单元和匹配电容应尽可能靠近芯片端。
- b. 外部晶振信号线走线应尽量短。走线宽度不要太细，最细也不要低于芯片 pin 的宽度。
- c. 在晶振局部电路相邻层 layer，应该有一个完整的覆地。
- d. 应该在外部晶振周边用地线做保护隔离环（guard ring），地环线需要充分接地（多过地孔），减少外部晶振信号与其他信号之间的相互窜扰。

- e. 晶振电路要注意局部信号干净，力避外部干扰。在晶振电路附近或相邻 layer 层尽量不要走线，尤其不允许走高速线、电源线、时钟线等。
- f. 在条件恶劣的应用环境下，如潮湿的环境下，为了减少漏电导致的起振问题，需要在外部晶振区域的 PCB 板上增加涂层，如三防漆。

### 2.1.10 XTH 的配置

- 应用注意
  - a. 在程序中应将 XTHI/XTHO 管脚设为模拟功能。
  - b. 外部晶振要搭配合适的匹配电容，选用合适的驱动能力，必要时可以在 XTH\_OUT 脚串联限流电阻。

### 2.1.11 XTL 的配置

- 应用注意
  - a. 在程序中应将 XTLI/XTLO 管脚设为模拟功能。
  - b. 在功耗许可下，XTL 应选用高驱动能力，但驱动能力越高，功耗越大。

### 2.1.12 外部输入时钟使用注意事项

- 应用注意
  - 当使用 XTH 外部输入时，禁止将 SYSCTRL0.XTH\_EN 设置为 1；
  - 当使用 XTL 外部输入时，禁止将 SYSCTRL0.XTL\_EN 设置为 1。

## 2.2 复位控制器

### 2.2.1 复位模块对应控制位需要先写 0 再写 1

- 应用注意
  - 使用外围模块复位控制寄存器去复位某个外围模块，需要将对应的 bit 控制位先写 0 再写 1。

## 2.3 Flash

### 2.3.1 Flash 取指等待周期

- 应用注意
  - HCLK  $\leq$  24MHz 时： FLASH\_CR.WAIT=0
  - 24MHz < HCLK  $\leq$  48MHz 时： FLASH\_CR.WAIT=1

### 2.3.2 Flash 擦除或写操作后，需要将 FLASH\_CR.OP 设置为 0

- 应用注意
  - 程序将 Flash 执行擦除或写操作之后，需要重新将 FLASH\_CR.OP 控制位设置为 0。

## 2.4 超低功耗

### 2.4.1 进入超低功耗前 ADC 的处理

- 应用注意

进入超低功耗前，需要先关闭 BGR，再关闭 ADC\_EN，然后关闭 ADC 的外设时钟，才能进一步减小超低功耗状态时的功耗。

### 2.4.2 进入超低功耗前 I/O 的处理

- 应用注意

- a. 已经连接外部电路的 ADC 等模拟信号引脚，待机时候不需额外处理。
- b. 输出引脚，针对外部电路，待机时候避免产生拉电流或灌电流。
- c. 如果要降低待机功耗，也可以参考上述处理。

### 2.4.3 进入超低功耗模式前需要将 FLAHS\_CR.OP 清零

- 应用注意

MCU 进入超低功耗模式之前，需要检查 FLASH\_CR.OP 是否为 0，如不为 0，需要先将该寄存器控制位设置为 0 之后，再进入超低功耗模式。

### 2.4.4 进入超低功耗后的再调试和再烧录

- 应用注意

进入超低功耗模式以后，SWD 接口可以唤醒 MCU。

但是如果在进入 DeepSleep 时将 SWD 引脚设置为 GPIO 功能，则在 DeepSleep 状态下或者唤醒状态下 SWD 接口都会失效。

SWD 引脚一旦切换为 GPIO 功能后，SWD 功能就无法使用，所以处于代码开发阶段，切换前最好添加软件延时，不要在上电或者复位之后立即更改，不然下一次 SWD 模式烧录或者仿真会遇到无法下载代码的问题。如果出现上述问题，使用在线或者离线编程器的串口模式将原先程序替换或擦除，也可以解决。

### 2.4.5 XTH 作为系统时钟，需进入 DeepSleep 模式

- 应用注意

当外部高速（无源）时钟 XTH 作为系统时钟，进入 DeepSleep 模式前，需要设置唤醒后使用内部高速时钟功能（如 SYSCTRL\_CRx 寄存器的 WAKEUPBYRCH 或 WAKEUPCLK 控制位），唤醒后系统运行在内部高速时钟下，然后按参考手册要求的步骤使能和切换 XTH。

## 2.5 ADC

### 2.5.1 模拟电源脚的处理

- 应用注意
  - a. AVCC/DVCC/AVSS/DVSS 建议使用合适的磁珠隔离，以避免数字对模拟部分的干扰。
  - b. AVCC 需要与 DVCC 电压相同。
  - c. 当使用内部参考电压时，AVCC 要大于内部参考电压+0.3V。
  - d. 外接参考电压 REF 不得大于 AVCC。

### 2.5.2 被采样信号的阻抗大或者信号弱，需要降低采样率，或者使能内部 buf

- 应用注意

当被采样信号的输入阻抗太大，或者信号源的内部分压电阻过大，可以考虑降低 ADC 的采样率。

### 2.5.3 使用 ADC 前需要先使能 BGR

- 应用注意

使用 ADC 需要先打开 BGR 模块，最少稳定时间请查阅对应型号的 DS 数据手册。

### 2.5.4 ADC 信号的电压不能超过 ADC 参考电压

- 应用注意

ADC 引脚的输入电压不能超过 ADC 参考电压。

### 2.5.5 提高 ADC 采样精度的有效方法

- 应用注意
  - a. 如外部能提供精度更高的参考电压，则建议使用外部参考电压；
  - b. 减小采样信号阻抗；
  - c. 对于变化小的信号，满足采样时间的情况下，尽量减小采样速率；
  - d. 在 ADC 采样时刻尽可能关闭不使用的数字电路；
  - e. 同组 I/O 或者具有 ADC 功能的 I/O 尽量不复用为高频输出或者输入信号引脚。

### 2.5.6 ADC 1Msps 采样率使用注意事项

- 应用注意

当 ADC 使用 1Msps 及以上较高采样率的时候，需要综合考量被采样信号的驱动能力、外部输入阻抗等因素，可以参考数据手册的相关描述。

当被采样信号驱动能力较弱、外部输入阻抗较大而采样率过高，导致在扫描采样前后压差大的通道的时候某些通道上有电压尖峰、或者在单次或扫描采样的时候 ADC 采样值不准确，此时需要考虑降低采样率、增强被采样信号的驱动能力或降低输入阻抗等措施。

## 2.6 LCD

### 2.6.1 对驱动能力或功耗要求较高的屏，需要选择外部电阻或电容模式

- 应用注意
  - a. 对驱动能力要求较高的 LCD 应用, 或者使用 8COM 显示效果较差的应用, 推荐使用外部电阻模式, 该模式可以提供较强的驱动能力。
  - b. 对于功耗要求较高的 LCD 应用, 可以考虑外部电容模式。

### 2.6.2 因 BOOT 脚限制，无法使用所有 SEG

- 应用注意  
BOOT 脚的 I/O 为 SEG30 功能，在其他 SEG 脚足够的情况下，建议不使用 BOOT 脚作为 SEG 功能。

## 2.7 BGR

### 2.7.1 BGR 的相关模块

- 应用注意  
使用 ADC、VC 较大功耗模式时需要先打开 BGR 模块，打开 BGR 后需要一段稳定时间，具体时间请查阅数据手册。

## 2.8 SPI

### 2.8.1 SPI 发送帧的末尾 bit 宽度问题

- 应用注意  
SPI 发送帧的末尾 bit 的宽度，比所设定的通信速率电平更宽。用户将它用作从机且使用第一边沿采样模式时，当主机的通信速率过高，使得通信帧之间的间隔小于等于 5 个 PCLK（从机）时，可能会影响主机接收数据正确性。

用户可以改为第二边沿采样，或者将主机发送的帧之间的间隔，满足大于 6 个 PCLK（从机）以上时间。

不过上述方法只是解决发送字节的末尾 bit 宽度过宽对通信的影响问题。当通信波特率过高，从机回复延迟超过 0.5 SCK 时间，如果主机没有延后（半个周期）采样功能，主从机之间依然无法通信。当主机具备延后（半个周期）采样功能，从机回复延时时间可以小于 1 个 SCK。

## 2.9 LVD

### 2.9.1 LVD 的输入接在 LVD 比较器的负相，参考电压接在 LVD 比较器的正相

- 应用注意

LVD 的输入接在 LVD 比较器的负相，参考电压接在 LVD 比较器的正相。因此参考手册描述的上升沿触发是被监测电压从高于阈值电压变为低于阈值电压的时候。

### 2.9.2 LVD 使能之后需要添加延时时间

- 应用注意

LVD 配置为中断功能，需要先初始化 CR 寄存器相关控制位，然后使能 LVD，在使能之后添加延时时间 ( $T_{setup}$  的最大值+所设置的滤波时间)，然后再清除中断标志位和使能中断。

## 2.10 WDT

### 2.10.1 IWDT 时钟使用专用 10K 时钟，建议在 IWDT 计数器计数值到达溢出值的一半之前对 IWDT 进行清零

- 应用注意

列表所述型号 MCU 的 IWDT 使用专用 10K 时钟，使用时建议在 IWDT 计数器的计数值到达溢出值的一半之前对 IWDT 进行清零。

## 2.11 GPIO

### 2.11.1 SWD 引脚复用为 GPIO

- 应用注意

- a. SWD 引脚上电或者复位后即默认时 SWD 功能，如果要改为 GPIO 功能，需要在系统控制器 SYSCTRL.CR1 内设置切换，注意切换前要先操作写保护寄存器。各型号驱动库里有提供操作的接口函数。
- b. 一旦改为 GPIO 后，SWD 功能就无法使用，所以处于代码开发阶段，切换前最好添加软件延时，不要在上电或者复位之后立即更改，不然下一次 SWD 模式烧录或者仿真会遇到无法下载代码的问题。
- c. 将 SWD 改为 I/O，并不能将芯片加密，不能防止他人将芯片上的代码读取出来。要实现真正的芯片加密，需要在配置离线编程器或者使用在线编程工具烧录的时候，选择【芯片加密】功能。

### 2.11.2 GPIO 与外界接口直连，如存在带电插拔，需要加保护电路

- 应用注意

如果 MCU 的 I/O 作为外界接口的引脚，该引脚直接与接口相连，存在带电插拔的可能，如 UART，需要在接口与 MCU 之间加上保护电路，以免损坏 MCU。

### 2.11.3 IO 内部上下拉电阻

内部上下拉电阻为 MOS 电阻，在 3.3V 和 5V 供电情况下，阻值存在差异，用户如需要精准的上下拉，或者阻值较小的上下拉时，需要考虑在芯片外加上拉或下拉电阻。

### 2.11.4 BOOT 脚对应的 GPIO 编号

- 应用注意
  - a. 该系列 MCU 的 BOOT 脚对应的 GPIO 引脚编号是 PD03。
  - b. 不建议 BOOT 脚用于其他功能。如果用作其他功能，注意上电或者复位时候，BOOT 的外围电路能让该引脚保持下拉状态。
  - c. 在处理进入超低功耗前悬空的 IO 状态时，注意 BOOT 脚的处理方式，BOOT 脚在外部已经接电阻下拉到地了。

## 2.12 DMA

### 2.12.1 带有 DMA 功能的 MCU，如要通过 DMA 将数据从 GPIO 输出，需要将 GPIO 的总线设置为 AHB 总线

- 应用注意

GPIO 输入/输出值寄存器有两种总线控制模式：FAST IO 和 AHB 模式。如要通过 DMA 将数据从 GPIO 输出，需要将 GPIO 的总线设置为 AHB 总线（GPIO\_CTRL2.ahb\_sel）。

## 2.13 HSI2C

### 2.13.1 HSI2C 作为从机时从 DeepSleep 模式唤醒

- 应用注意

如果需要将 HSI2C 从机设备从 DeepSleep 模式唤醒。配置时，需要注意将 HSI2C 从机的 SCR1.ADRSTALL 延展打开，并且禁用 CR2.FILTEN。

建议从机 SCR1.ADDRMODE 地址模式配为 0x6，即从地址匹配 0 到地址匹配 1；同时从机地址 SADDR.ADDR1 配为 0xF，用于地址匹配覆盖 addr0 到 addr1，提高容错度。

## 版本修订记录

版本号	修订日期	修订内容
Rev1.00	2025/12/08	初版发布。
Rev1.01	2026/04/16	新增“HSI2C”注意事项章节。