

HC32F052 系列

32 位 ARM[®] Cortex[®]-M0+ 微控制器

数据手册

Rev1.50
2026 年 8 月

产品特性

支持特性

- 64MHz Cortex-M0+ 32 位 CPU 平台
- HC32F052 系列具有灵活的功耗管理系统：
 - ▶ 20μA@3V 深度休眠模式：所有时钟关闭，上电复位有效，IO 状态保持，IO 中断有效，所有寄存器、RAM 和 CPU 数据保存状态时的功耗
 - ▶ 40μA/MHz@3V@64MHz 工作模式：CPU 运行，从 FLASH 运行程序
 - ▶ 9μs 唤醒时间，使模式切换更加灵活高效，系统反应更为敏捷
- 128KB/64KB Flash 存储器，具有擦写保护功能
- 16KB RAM 存储器，附带奇偶校验，增强系统的稳定性
- 通用 I/O 管脚
(40IO/48pin, 26IO/32pin)
- 时钟、晶振
 - ▶ 外部高速晶振 XTH：8~24MHz
 - ▶ 外部低速晶振 XTL：32.768kHz
 - ▶ 内部高速时钟 RCH：12MHz
 - ▶ 内部低速时钟 RCL：32.768/38.4kHz
 - ▶ PLL 时钟：最高 64MHz
 - ▶ 硬件支持内外时钟校准和监测
- 定时器/计数器
 - ▶ 2 个复合 16 位定时器/计数器
 - ▶ 4 个高性能 16 位定时器/计数器
 - ▶ 1 个低功耗 16 位定时器/计数器
 - ▶ 1 个独立 WDT，使用 32k 振荡器提供 WDT 计数
 - ▶ 1 个窗口 WDT，使用系统时钟计数
- 通讯接口
 - ▶ 2 路 USART 标准通讯接口
 - ▶ 最多 2 路 LPUART 低功耗通讯接口，深度休眠模式下可工作
 - ▶ 最多 2 路 SPI 标准通讯接口
 - ▶ 2 路 I2C 标准通讯接口
 - ▶ 1 路 I2C Slave 通讯接口
 - ▶ 1 路 CAN 通讯接口
- 定时器作为蜂鸣器频率发生器
- 硬件万年历 RTC 模块
- 硬件 CRC-16/CRC-32 模块
- 硬件 32 位除法开方器
- 全球唯一 10 字节 ID 号
- 集成 1 个 12 位 1Msps 采样的高速高精度 SAR ADC，内置跟随器，可测量外部微弱信号
- 集成高精度温度传感器
- 集成 64 阶电压可编程基准输入的 2 路电压比较器
- 集成低电压侦测器 LVD，可配置 16 阶比较电平，可监控端口电压以及电源电压
- 集成 2 个运算放大器
- SWD 调试解决方案，提供全功能调试器
- 工作条件：-40~105℃，2.0~5.5V
- 封装形式：LQFP48/32，QFN48/32

支持型号

HC32F052JATB-LQ48	HC32F052J8TB-LQ48
HC32F052FATB-LQ32	HC32F052F8TB-LQ32
HC32F052JAUB-QFN48TR	HC32F052J8UB-QFN48TR
HC32F052FAUB-QFN32TR	HC32F052F8UB-QFN32TR

说明事项

版权所有©2026 小华半导体有限公司。保留所有权利

本文件及附件包含的信息有关知识产权权益全部属于小华半导体有限公司（以下简称“XHSC”）；客户对本文件及附件包含的信息只享有内部使用权，未经 XHSC 书面允许，任何单位和个人不得擅自摘抄、复制、改动或以其他任何形式使用本文件的部分或全部内容，并不得以任何形式进行传播。

商标声明

 小华半导体有限公司  小华半导体和其他商标均为 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

注意事项

- XHSC 保留随时更改、更正、增强、修改产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- 重要提示：在使用本产品前，请务必查阅官方发布的最新勘误表，充分知悉产品已知修正信息，规避使用风险。
- 本通知中的信息取代并替换先前版本中的信息。

小华半导体有限公司

地址：	上海市浦东新区中科路 1867 号 A 座 4 楼
网址：	https://www.xhsc.com.cn
邮箱：	XHSC_MCU@xhsc.com.cn （商务咨询） XHSC_FAE@xhsc.com.cn （技术咨询）

前言

数据格式

- 0x 前缀表示十六进制数据
- 0b 前缀表示二进制数据
- 数字没有前缀表示十进制数据

安全声明

由于使用某个功能或者协议，可能会存在潜在的安全问题，需要进行声明，提醒用户慎用，规避安全风险。

目录

产品特性.....	ii
前言.....	iv
1 产品概述.....	7
1.1 产品阵容.....	7
1.2 功能框图.....	10
1.3 存储区映射图.....	11
2 功能描述.....	12
2.1 32 位 Cortex-M0+内核.....	12
2.2 128KB/64KB FLASH.....	12
2.3 16KB RAM.....	12
2.4 时钟系统.....	12
2.5 工作模式.....	12
2.6 实时时钟 RTC.....	12
2.7 端口控制器 GPIO.....	13
2.8 中断控制器 NVIC.....	13
2.9 复位控制器 RESET.....	13
2.10 DMA 控制器 DMAC.....	13
2.11 定时器 TIM.....	13
2.12 看门狗 WDT.....	14
2.13 通用同步异步收发器 USART.....	14
2.14 低功耗同步异步收发器 LPUART.....	15
2.15 控制器局域网 CAN.....	15
2.16 串行外设接口 SPI.....	16
2.17 I2C 总线.....	16
2.18 I2C 从机模块 I2CSLV.....	16
2.19 时钟校准 CTRIM.....	16
2.20 器件电子签名.....	16
2.21 循环冗余校验 CRC.....	17
2.22 扩展算术单元 EAU.....	17
2.23 模数转换器 ADC.....	17
2.24 模拟电压比较器 VC.....	17
2.25 低电压检测器 LVD.....	17
2.26 运算放大器 OPA.....	17
2.27 嵌入式调试系统.....	18
2.28 编程模式.....	18
2.29 高安全性.....	18
3 引脚配置及功能.....	19
3.1 引脚配置图.....	19
3.1.1 LQFP48 封装.....	19
3.1.2 LQFP32 封装.....	20
3.1.3 QFN48 封装.....	21
3.1.4 QFN32 封装.....	22

3.2 引脚功能说明.....	23
3.3 模块信号说明.....	28
4 典型应用电路图.....	31
5 电气特性.....	32
5.1 参数条件.....	32
5.1.1 最小值和最大值.....	32
5.1.2 典型数值.....	32
5.2 绝对最大额定值.....	32
5.3 工作条件.....	33
5.3.1 通用工作条件.....	33
5.3.2 上电和掉电时的工作条件.....	33
5.3.3 内嵌复位和 LVD 模块特性.....	34
5.3.4 内置的参考电压.....	35
5.3.5 供电电流特性.....	35
5.3.6 从低功耗模式唤醒的时间.....	38
5.3.7 外部时钟源特性.....	38
5.3.8 内部时钟源特性.....	43
5.3.9 PLL 特性.....	44
5.3.10 Flash 存储器特性.....	45
5.3.11 EFT 特性.....	46
5.3.12 ESD 特性.....	46
5.3.13 I/O 端口特性.....	46
5.3.14 RESETB 引脚特性.....	49
5.3.15 ADC 特性.....	49
5.3.16 温度传感器特性.....	53
5.3.17 VC 特性.....	53
5.3.18 OPA 特性.....	55
5.3.19 TIM 定时器特性.....	55
5.3.20 通信接口.....	57
6 封装信息.....	61
6.1 封装尺寸.....	61
6.1.1 LQFP48 封装.....	61
6.1.2 LQFP32 封装.....	63
6.1.3 QFN48 封装.....	65
6.1.4 QFN32 封装.....	67
6.2 焊盘示意图.....	69
6.2.1 LQFP48 封装 (7mm x 7mm)	69
6.2.2 LQFP32 封装 (7mm x 7mm)	70
6.2.3 QFN48 封装 (7mm x 7mm)	71
6.2.4 QFN32 封装 (4mm x 4mm)	72
6.3 丝印说明.....	73
6.4 封装热阻系数.....	73
7 订购信息.....	75
版本记录.....	77

1 产品概述

1.1 产品阵容

产品名称

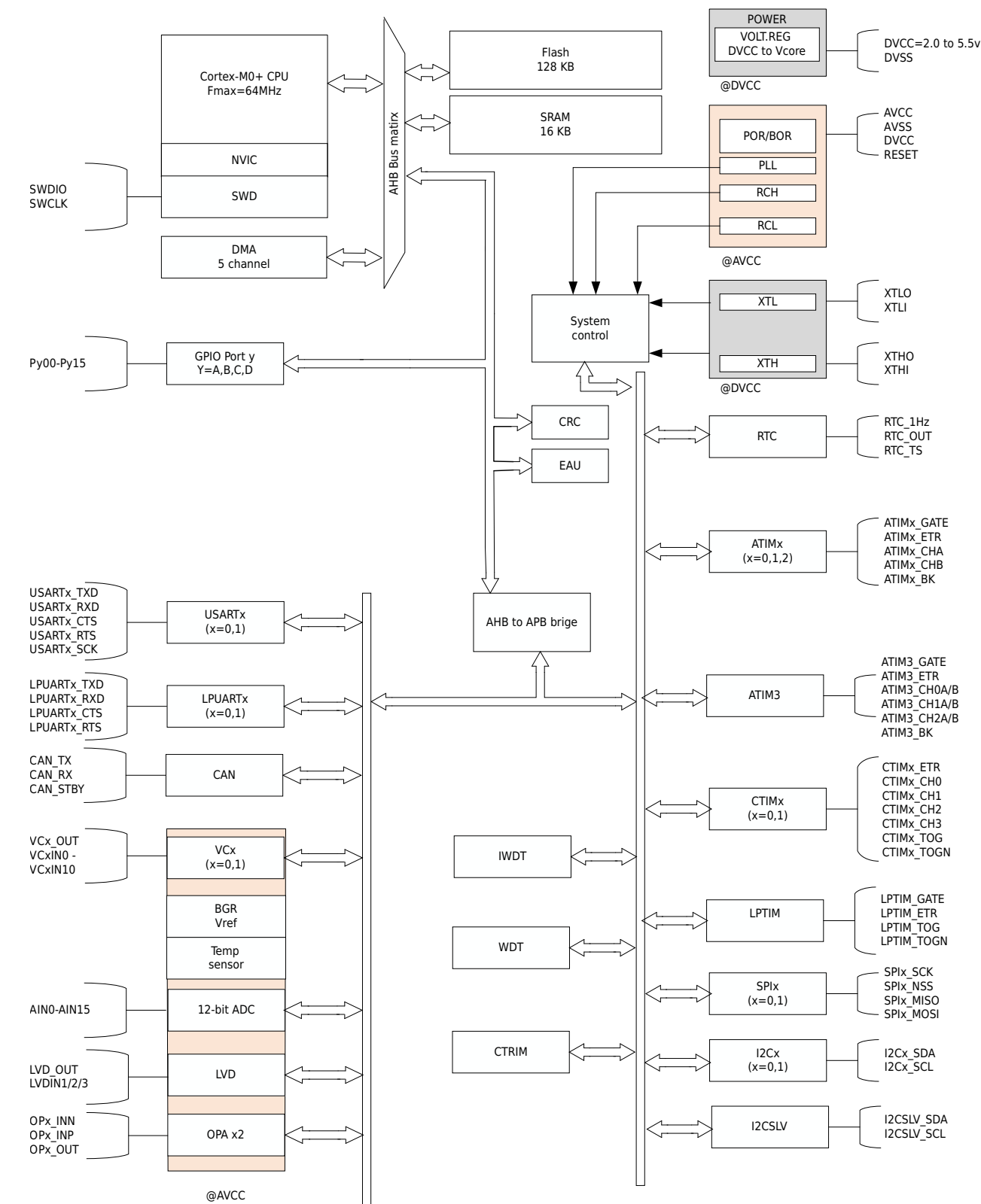
	HC	32	F	0	5	2	J	A	T	B
小华半导体										
MCU家族										
32: 32-bit										
产品类型										
F: 通用										
MCU平台										
0: Cortex-M0+										
MCU规格档次										
5: 主流型										
功能配置流水号										
2: 配置2										
管脚数量										
J: 48 Pin										
F: 32 Pin										
程序容量										
A: 128 KB										
8: 64 KB										
封装类型										
T: LQFP										
U: QFN										
温度质量范围										
B: -40~105 °C										

型号功能对比表

产品名称		HC32F052JATB	HC32F052JAUB	HC32F052FATB	HC32F052FAUB	HC32F052J8TB	HC32F052J8UB	HC32F052F8TB	HC32F052F8UB
引脚数		48	48	32	32	48	48	32	32
GPIO 数		40	40	26	26	40	40	26	26
CPU	内核	Cortex-M0+							
	频率	64MHz							
存储	Flash	128KB				64KB			
	RAM	16KB				16KB			
时钟	内部高速时钟	RCH 12MHz							
	内部低速时钟	RCL 32.768/38.4kHz							
	PLL	最高 64MHz							
	外部高速晶振	XTH 8~24MHz							
	外部低速晶振	XTL 32.768kHz							
电源电压范围		2.0~5.5V							
温度范围		-40~105℃							
DMA 控制器（DMAC）		1*5ch							
定时器		高级定时器 ATIM0/1/2/3 基本定时器（复用）BTIM0/1/2/3/4/5 通用定时器 GTIM0/1 低功耗定时器 LPTIM							
实时时钟（RTC）		1							
看门狗定时器		独立看门狗*1 窗口看门狗*1							
通信接口	LPUART	LPUART0/1		LPUART1		LPUART0/1		LPUART1	
	USART	USART0/1		USART0/1		USART0/1		USART0/1	
	LIN	支持		支持		支持		支持	
	ISO7816	支持		支持		支持		支持	
	红外	支持		支持		支持		支持	
	CAN	CAN 1 Unit		CAN 1 Unit		CAN 1 Unit		CAN 1 Unit	
	I2C	I2C0/1		I2C0/1		I2C0/1		I2C0/1	
	I2C SLV	I2C SLV 1Unit		I2C SLV 1Unit		I2C SLV 1Unit		I2C SLV 1Unit	
	SPI	SPI0/1		SPI0		SPI0/1		SPI0	

产品名称	HC32F052JATB	HC32F052JAUB	HC32F052FATB	HC32F052FAUB	HC32F052J8TB	HC32F052J8UB	HC32F052F8TB	HC32F052F8UB
模数转换器（ADC，12-bit）	1*16ch		1*10ch		1*16ch		1*10ch	
运算放大器（OPA）	OPA0/1		-		OPA0/1		-	
模拟电压比较器（VC）	VC0/1							
低电压检测器（LVD）	支持							
蜂鸣器	支持							
Flash 安全保护	支持							
RAM 奇偶校验	支持							
循环冗余校验（CRC）	支持							
扩展算术单元 EAU	支持							
时钟校准和监测	支持							
调试功能	SWD 调试接口							
封装类型（mm*mm）	LQFP48(7*7)	QFN48(7*7)	LQFP32(7*7)	QFN32(4*4)	LQFP48(7*7)	QFN48(7*7)	LQFP32(7*7)	QFN32(4*4)

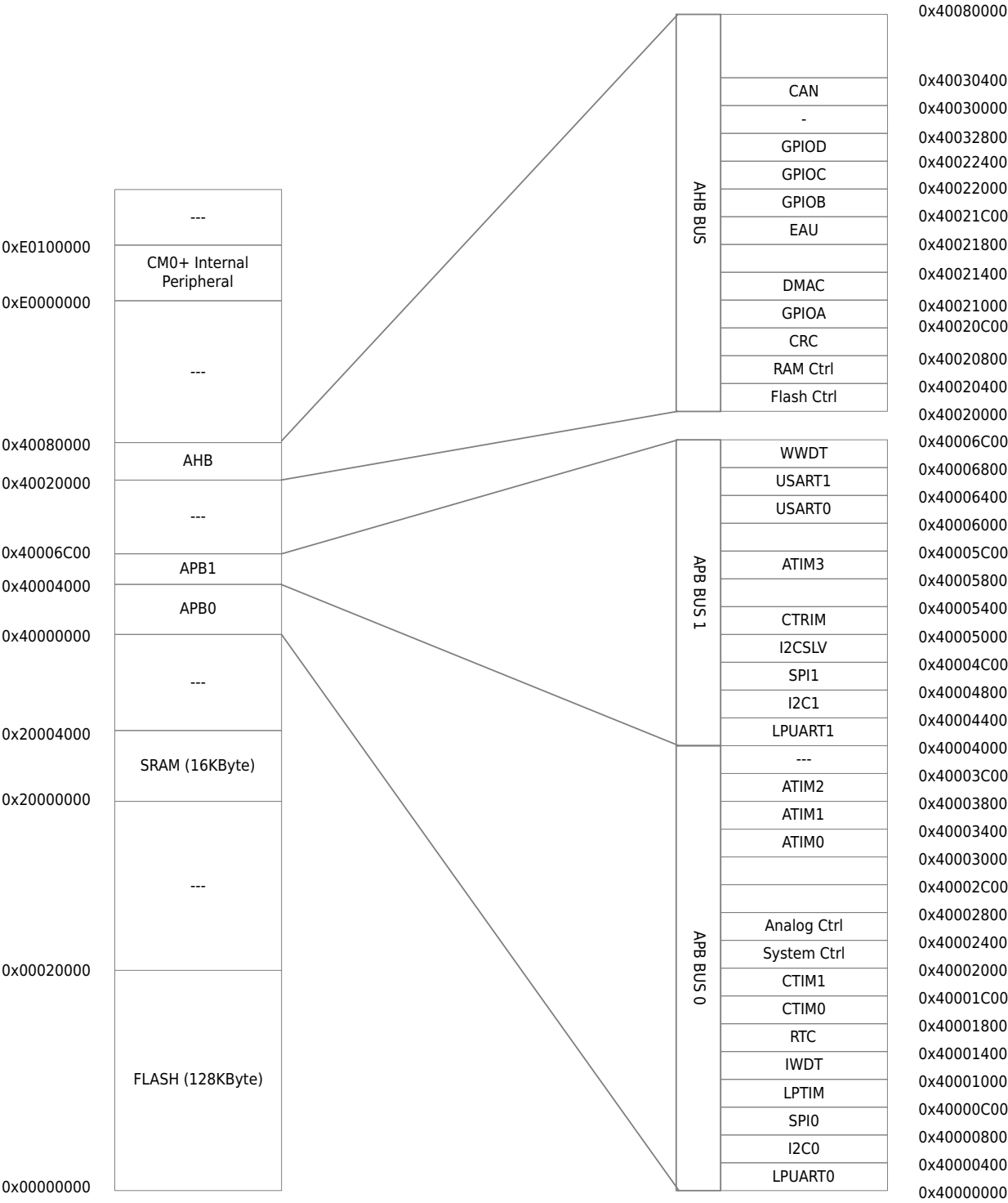
1.2 功能框图



说明

不同封装的产品支持的资源数量有差异，详细支持情况请参见[型号功能对比表](#)。

1.3 存储区映射图



说明

GPIOA 和 GPIOB/C/D 模块使用两个不同的地址空间。
不同封装的产品支持的 FLASH 和 SRAM 大小有差异，使用时需要注意地址空间的范围，详细情况请参见[型号功能对比表](#)。

2 功能描述

2.1 32 位 Cortex-M0+内核

ARM Cortex-M0+处理器源于 Cortex-M0，包含了一颗 32 位 RISC 处理器，运算能力达到 0.95 Dhrystone MIPS/MHz。同时加入了多项全新设计，改进调试和追踪能力、减少每周期指令（IPC）数量和改进 Flash 访问的两级流水线等，更纳入了节能降耗技术。Cortex-M0+处理器已全面支持 Keil&IAR 调试器。

Cortex-M0+包含了一个硬件调试电路，支持 2-pin 的 SWD 调试接口。

ARM Cortex-M0+特性：

指令集	Thumb/Thumb-2
流水线	2 级流水线
性能效率	2.46 CoreMark/MHz
性能效率	0.95 DMIPS/MHz in Dhrystone
中断	32 个快速中断
中断优先级	可配置 4 级中断优先级
增强指令	单周期 32 位乘法器
调试	Serial-wire 调试端口，支持 4 个硬中断（break point）以及 2 个观察点（watch point）

2.2 128KB/64KB FLASH

内建全集成 FLASH 控制器，无需外部高压输入，由全内置电路产生高压来编程。支持 ISP、IAP、ICP 功能。

2.3 16KB RAM

根据客户选择不同的超低功耗模式，RAM 数据都会被保留。自带硬件奇偶校验位，万一数据被意外破坏，在数据被读取时，硬件电路会立刻产生中断，保证系统的可靠性。

2.4 时钟系统

- 一个频率为 12MHz 的高精度内部时钟 RCH。出厂已预置校准值。
- 一个频率为 32.768/38.4kHz 的内部时钟 RCL。
- 一个频率为 8~24MHz 的外部晶振 XTH。
- 一个频率为 32.768kHz 的外部晶振 XTL，主要提供 RTC 实时时钟。
- 一个频率为 12~64MHz 输出的 PLL。

2.5 工作模式

1. 运行模式（Active Mode）：CPU 运行，片内外设运行。
2. 休眠模式（Sleep Mode）：CPU 停止，片内外设运行。
3. 深度休眠模式（DeepSleep Mode）：CPU 停止，低功耗片内外设运行。

2.6 实时时钟 RTC

RTC（Real Time Counter）是一个支持 BCD 数据格式的功能模块，一般采用 32.768kHz 晶振作为其时钟，能实现万年历功能，中断周期可配置为月/日/小时/分钟/秒。24/12 小时时间模式，硬件自动修正闰年。具有

精确度补偿功能，最高精度为 0.96ppm。可使用内部温度传感器或外部温度传感器进行精确度补偿，可用软件+1/-1 调整年/月/日/小时/分钟/秒，最小可调精度为 1 秒。

用于指示时间和日期的 RTC 日历记录器在 MCU 受外部因素影响而复位时不会复位寄存器。

2.7 端口控制器 GPIO

最多可提供 40 个 GPIO 端口，其中部分 GPIO 与模拟端口复用。每个端口由独立的控制寄存器位来控制，支持 FAST IO。支持边沿触发中断和电平触发中断，可从各种超低功耗模式下把 MCU 唤醒到工作模式。支持位置位、位清零和位置位清零操作。支持 Push-Pull CMOS 推挽输出、Open-Drain 开漏输出。内置上拉电阻、下拉电阻，带有施密特触发器输入滤波功能。输出驱动能力可配置，最大支持 18mA 的电流驱动能力。所有通用 IO 可支持外部异步中断。

2.8 中断控制器 NVIC

Cortex-M0+处理器内置了嵌套向量中断控制器（NVIC），支持最多 32 个中断请求（IRQ）输入；有四个中断优先级，可处理复杂逻辑，能够进行实时控制和中断处理。

2.9 复位控制器 RESET

本产品具有 7 个复位信号来源，每个复位信号都可以让 CPU 重新运行，绝大多数寄存器会被重新复位，程序计数器 PC 会指向起始地址。

- 数字区域上电掉电复位 POR
- 外部 Reset PAD，低电平为复位信号
- WWDT 复位
- IWDT 复位
- LVD 低电压复位
- Cortex-M0+ SYSRESETREQ 软件复位
- Cortex-M0+ LOCKUP 硬件复位

2.10 DMA 控制器 DMAC

DMAC（直接内存访问控制器）功能块可以不通过 CPU 高速传输数据。使用 DMAC 能提高系统性能。

2.11 定时器 TIM

类型	名称	位宽	预除频	计数方向	PWM	捕获	互补输出
高级定时器	ATIM0/1/2	16/32	1/2/4/8/16/32/64/256	上计数/ 下计数/ 上下计数	2	2	1
	ATIM3	16/32	1/2/4/8/16/32/64/256	上计数/ 下计数/ 上下计数	6	6	3
复合定时器	CTIM0/1	16	1~32768	上计数	4	4	-

复合定时器 CTIM 是可以配置为支持 4 路比较捕获功能的定时器，也可以配置成 3 个基本定时器。基本定时器是只有计时计数功能的定时器。

高级定时器包含四个定时器 ATIM0/1/2/3，有如下特性：

- PWM 独立输出，互补输出
- 捕获输入

- 脉冲宽度测量
- 正交编码计数功能
- 单脉冲模式
- 外部计数功能
- 死区控制
- 刹车控制
- 逐波限流
- 边沿对齐、对称中心对齐与非对称中心对齐 PWM 输出

ATIM0/1/2 是同步定时/计数器，可以作为 16 位自动重装载功能的定时/计数器，也可以作为 32 位无重载功能的定时/计数器。ATIM0/1/2 每个定时器都具有 2 路捕获比较功能，可以产生 2 路 PWM 独立输出或 1 组 PWM 互补输出。具有死区控制功能。

ATIM3 是多通道的通用定时器，具有 ATIM0 的所有功能，可以产生 3 组 PWM 互补输出或 6 路 PWM 独立输出，最多 6 路输入捕获。具有死区控制功能。

低功耗定时器 LPTIM 是异步 16 位定时/计数器，在系统时钟关闭后仍然可以通过内部低速 RC 或者外部低速晶体振荡计时/计数。通过中断在低功耗模式下唤醒系统。

2.12 看门狗 WDT

IWDT 是一个可配置的 12 位定时器，在 MCU 异常的情况下提供复位；内建 RCL (32.768kHz/38.4kHz) 低速时钟输入作为计数器时钟。调试模式下，可选择暂停或继续运行；只有写入特定序列才能重启 IWDT。

WWDT 是一个 7 位定时器，当有外部干扰或不可预见的逻辑条件造成应用程序背离正常的运行序列时，WWDT 可监测到此类软件故障并产生中断或复位。

2.13 通用同步异步收发器 USART

2 路通用同步异步收发器 (Universal Synchronous Asynchronous Receiver/Transmitter)。

USART 基本功能：

- 支持全双工异步通信，全双工时钟同步通信
- 支持多机通信
- 支持智能卡 7816 接口通信
- 支持 3/16 和 38K 调制两种红外模式
- 支持 LIN
- 内置双缓冲器从而实现全双工通信
- 两种帧长度：8 比特、9 比特
- 两种停止位：1 比特、2 比特
- 两种数据序列顺序：MSB 先传、LSB 先传
- 支持帧错误、校验错误、上溢错误、接收数据满、发送数据空、发送完成、超时中断
- 支持小数分频
- 支持可配置为 8 倍或 16 倍过采样，为速度容差与时钟容差的灵活配置提供了可能
- 支持单线半双工通信
- 支持 DMA
- 支持 TX/RX 引脚配置可交换
- 支持调制解调器硬件流控
- 支持超时功能

2.14 低功耗同步异步收发器 LPUART

2 路低功耗模式下可以工作的同步异步收发器（Low Power Universal Asynchronous Receiver/Transmitter）。

LPUART 基本功能：

- 配置时钟 PCLK
- 传输时钟 SCLK（SCLK 可选择 XTL、RCL 以及 PCLK）
- 支持同步半双工、异步全双工、单线半双工传输
- 可编程串行通信功能
 - ▶ 两种字符长度：8 比特、9 比特
 - ▶ 三种校验方式：无检验、奇校验、偶校验
 - ▶ 三种停止长度：1 比特、1.5 比特、2 比特
- 支持低功耗模式下收发数据
- 16-bit 波特率计数器
- 支持硬件流控（RTS、CTS）
- 支持多机通讯、自动地址识别
- 支持通过 DMA 数据传输

2.15 控制器局域网 CAN

CAN（Controller Area Network）总线是一种可以在无主机情况下实现微处理器或者设备之间相互通信的总线标准。

- 完全支持 CAN2.0A/CAN2.0B 协议
- 向上兼容 CAN-FD
- 支持最高通信波特率 1Mbit/s
- 支持 1~1/256 的波特率预分频，灵活配置波特率
- 10 个接收缓冲器
 - ▶ FIFO 方式
 - ▶ 错误或者不被接收的数据不会覆盖存储的消息
- 1 个高优先主发送缓冲器 PTB
- 4 个副发送缓冲器 STB
 - ▶ FIFO 方式
 - ▶ 优先级仲裁方式
- 8 组独立的筛选器
 - ▶ 支持 11 位标准 ID 和 29 位扩展 ID
 - ▶ 可编程 ID CODE 位以及 MASK 位
- PTB/STB 均支持单次发送模式
- 支持静默模式
- 支持回环模式
- 支持捕捉传输的错误种类以及定位仲裁失败位置
- 可编程的错误警告值
- 支持 ISO11898-4 规定时间触发 CAN 以及接收时间戳

2.16 串行外设接口 SPI

2 路同步串行接口 (Serial Peripheral Interface)

SPI 基本特性:

- 可配置为主机或者从机，支持多机模式
- 主机模式最大分频系数为 PCLK/2
- 从机模式最大分频系数为 PCLK/4
- 多种通信模式：全双工、单线半双工、单工
- 两种传输顺序：先收发 MSB 或先收发 LSB
- 多种数据帧长度：4bits~16bits
- 两种 NSS 方式：硬件控制、软件控制
- 可配置的串行时钟极性和相位
- 支持 DMA

2.17 I2C 总线

2 路 I2C，采用串行同步时钟，可实现设备之间以不同的速率传输数据。

I2C 基本特性:

- 支持主机发送/接收，从机发送/接收四种工作模式
- 支持标准 (100kbps) /快速 (400kbps) /高速 (1Mbps) 三种工作速率
- 支持 7 位寻址功能
- 支持噪声过滤功能
- 支持三个从机地址
- 支持广播地址
- 支持中断状态查询功能

2.18 I2C 从机模块 I2CSLV

I2C 从机接口是 2 线双向串行总线，兼容 I2C 3.0 总线规格。在高速模式下能达到 3.4Mbps 的传输速率。

- 传输速率：标准 (~100kbps)，快速 (400kbps)，超快速 (1Mbps)，和高速 (3.4Mbps，模块工作时钟 PCLK 必须不小于 24MHz)
- 仅支持从机模式
- 支持时钟低电平延长功能，以便和较快速度的主机接口
- 支持 7 位从机地址和 10 位从机地址
- 支持 4 个从机地址
- 支持 SCL 低电平超时
- 支持 Device ID 读取

2.19 时钟校准 CTRIM

时钟校准定时器可以调整校准 RC 时钟频率，也可以调整校准其他 RC 振荡的时钟频率，还可以作为一个通用定时器或者自动唤醒定时器来使用。开启 RCH 实时校准，并且系统存在精准参考时钟，则 RCH 的全工作范围精度均可达 1%。

2.20 器件电子签名

每颗芯片出厂前具备唯一的 10 字节设备标识号，包括 wafer lot 信息，以及芯片坐标信息等。

2.21 循环冗余校验 CRC

CRC16 符合 ISO/IEC13239 中给出的多项式： $x^{16}+x^{12}+x^5+1$ 。

CRC32 符合 ISO/IEC13239 中给出的多项式： $x^{32}+x^{26}+x^{23}+x^{22}+x^{16}+x^{12}+x^{11}+x^{10}+x^8+x^7+x^5+x^4+x^2+x+1$ 。

2.22 扩展算术单元 EAU

扩展算术单元 EAU (Extended Arithmetical Unit) 是专为算术运算设计的协处理器，能高效执行有符号整数除法、无符号整数除法和整数开方运算，是对 Cortex-M0+内核的算术类指令的有效补充和扩展。

- 支持 32 位无符号整数的开方运算，可求得平方根和余数
- 支持 32 位除 32 位的有/无符号整数除法运算，可求得商和余数
- 支持无符号除法除数为零标志
- 支持有符号除法除数为零标志和溢出标志

2.23 模数转换器 ADC

单调不失码的 12-bit 逐次逼近型模数转换器，在 16MHz ADC 时钟下工作时，采样率达到 1Mpsps。参考电压可选择片内精准电压（1.5V 或 2.5V）或从外部输入或电源电压。

- 12 位转换精度
- 1Mpsps 转换速度
- 最多 18 路输入通道，包括 16 路外部管脚输入、1 路内部温度传感器电压、1 路 1/3 AVCC 电压
- 4 种参考源：AVCC 电压、EXVREF 引脚、内置 1.5V 参考电压、内置 2.5V 参考电压
- ADC 的电压输入范围：0~Vref
- 内置信号跟随器，可转换高阻信号
- 多种转换模式：单次转换、SQR 扫描单序列转换、SQR 扫描连续转换、SQR 扫描断续转换、JQR 扫描转换、连续转换累加
- 软件可配置 ADC 的转换速率
- 支持片内外设自动触发 ADC 转换，有效降低芯片功耗并提高转换的实时性
- 输入通道电压阈值监测

2.24 模拟电压比较器 VC

芯片引脚电压监测/比较电路。11 个可配置的正外部输入通道，11 个可配置的负外部输入通道；4 个内部负输入通道，包括 1 路内部温度传感器电压、1 路 ADC 模块所配置的参考电压、1 路 64 阶电阻分压。可根据上升/下降边沿产生异步中断，从低功耗模式下唤醒 MCU。可配置的软件防抖功能。

2.25 低电压检测器 LVD

对芯片电源电压或芯片管脚电压进行检测，支持以下功能：

- 4 路监测源：AVCC、PC13、PB08、PB07
- 16 阶阈值电压，可选
- 8 种触发条件，高电平、上升沿、下降沿组合
- 2 种触发结果：复位、中断
- 8 阶滤波配置，防止误触发
- 具备迟滞功能，强力抗干扰

2.26 运算放大器 OPA

OPA 模块可以灵活配置，适用于简易放大器和 Buffer 应用。

2.27 嵌入式调试系统

嵌入式调试解决方案，提供全功能的实时调试器，配合标准成熟的 Keil/IAR 等调试开发软件。支持 4 个硬断点以及多个软断点。

2.28 编程模式

支持的编程模式：在线编程、离线编程。

支持的编程协议：ISP 协议、SWD 协议。

支持的编程接口：ISP 协议与 SWD 协议共用 SWD 端口。

当复位时 BOOT0（PD03）管脚为高电平，芯片工作于 ISP 编程模式，可通过 ISP 协议对 Flash 进行编程。

当复位时 BOOT0（PD03）管脚为低电平，芯片工作于用户模式，芯片执行 Flash 内的程序代码，可通过 SWD 协议对 Flash 进行编程。

2.29 高安全性

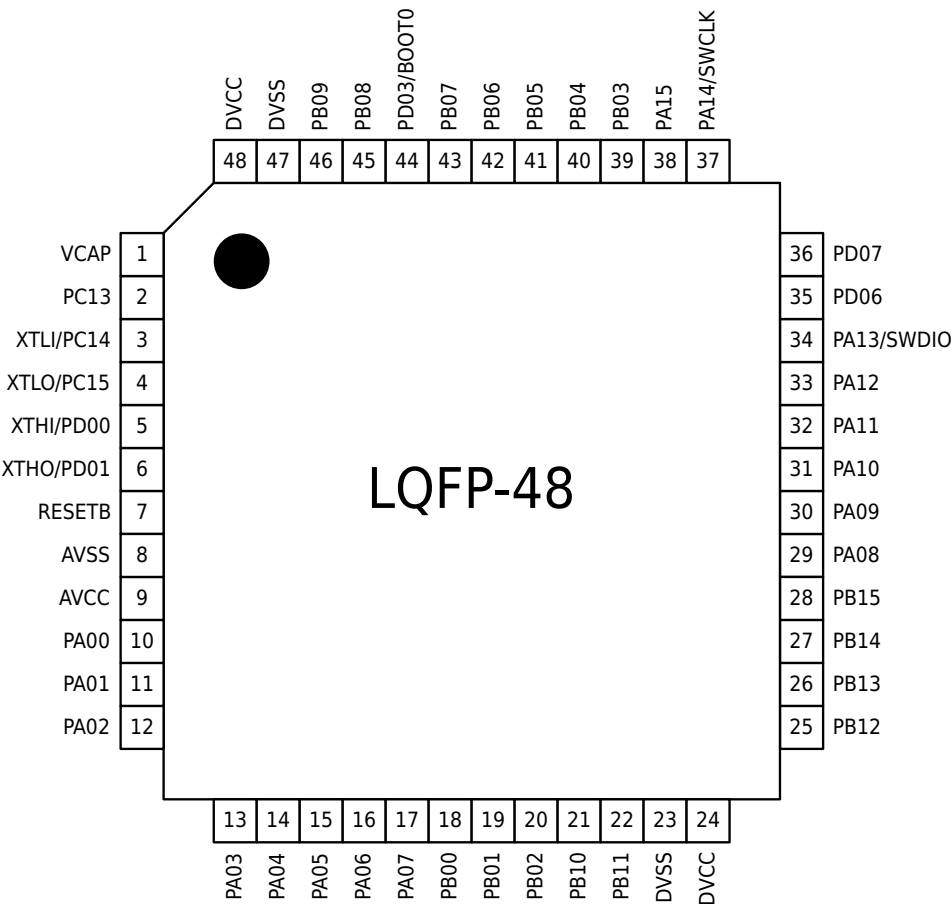
加密型嵌入式调试解决方案，提供全功能的实时调试器。

3 引脚配置及功能

3.1 引脚配置图

3.1.1 LQFP48 封装

HC32F052JATB-LQ48、HC32F052J8TB-LQ48

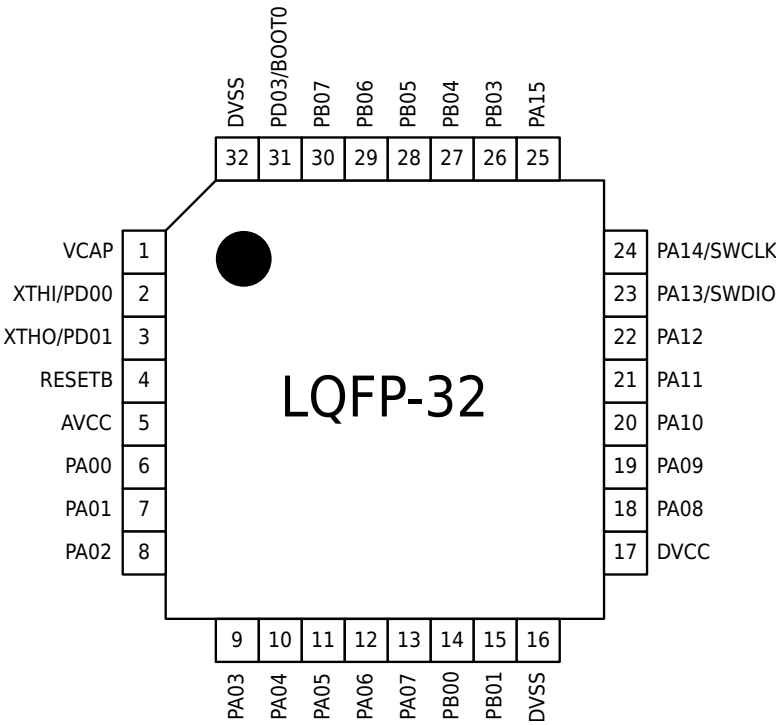


说明

- BOOT0 引脚用于控制 FLASH 编程，详见[模块信号说明](#)。

3.1.2 LQFP32 封装

HC32F052FATB-LQ32、HC32F052F8TB-LQ32

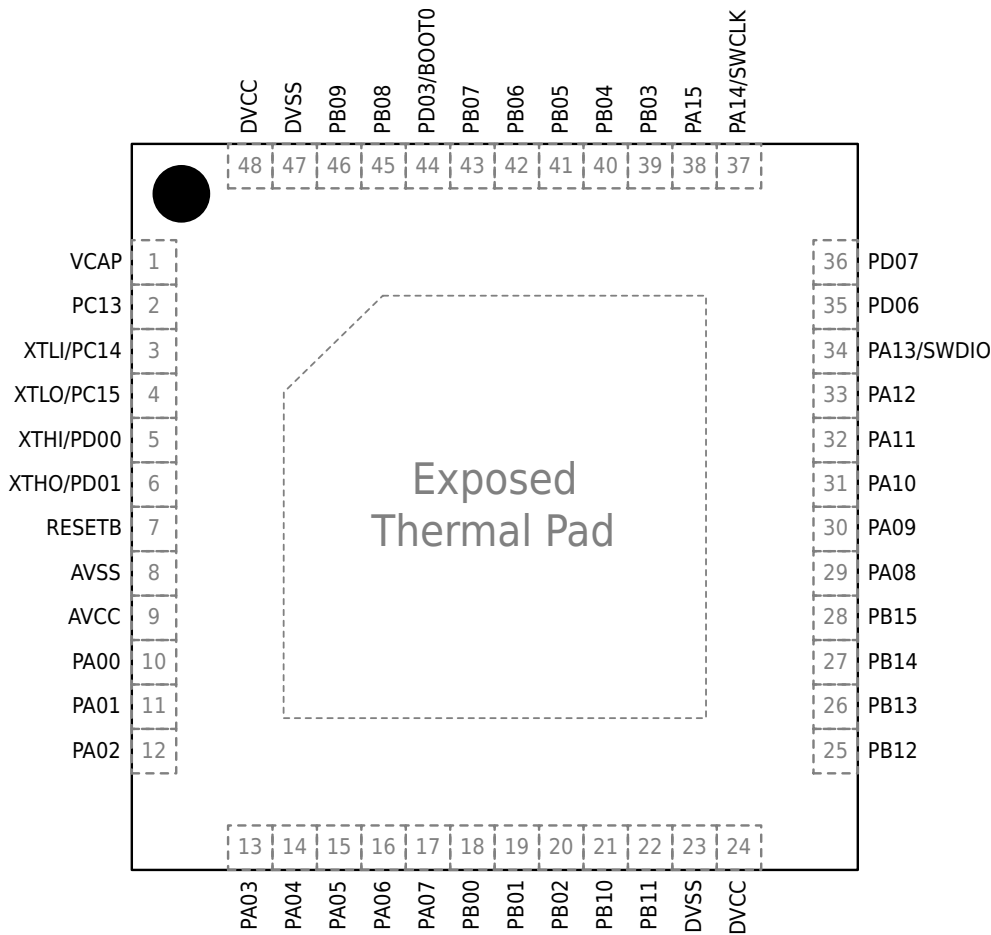


说明

- 该封装未引出的 IO 详见[引脚功能说明](#)。
- BOOT0 引脚用于控制 FLASH 编程，详见[模块信号说明](#)。

3.1.3 QFN48 封装

HC32F052JAUB-QFN48TR、HC32F052J8UB-QFN48TR

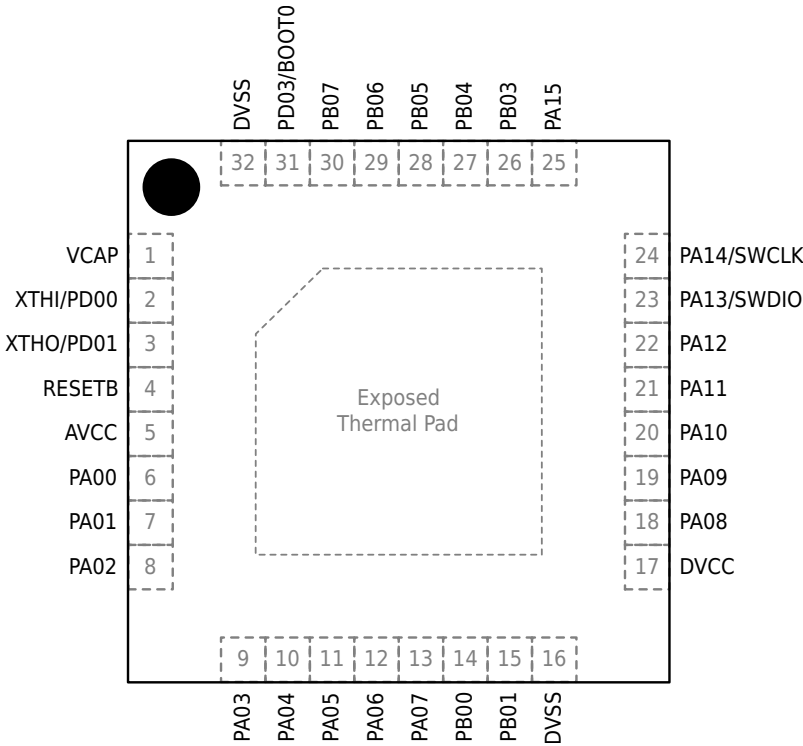


说明

- Exposed Thermal Pad 需要连接到 DVSS。
- BOOT0 引脚用于控制 FLASH 编程，详见[模块信号说明](#)。

3.1.4 QFN32 封装

HC32F052FAUB-QFN32TR、HC32F052F8UB-QFN32TR



说明

- Exposed Thermal Pad 需要连接到 DVSS。
- 该封装未引出的 IO 详见[引脚功能说明](#)。
- BOOT0 引脚用于控制 FLASH 编程，详见[模块信号说明](#)。

3.2 引脚功能说明

LQFP48	LQFP32	QFN48	QFN32	Name	DIGITAL	ANALOG
1	1	1	1	VCAP	-	-
2	-	2	-	PC13	CTIM1_ETR RTC_1HZ ATIM3_CH1B CTIM0_TOG	LVD_IN1
3	-	3	-	PC14	CTIM1_CH0 CTIM0_TOGN LVD_OUT	XTLI
4	-	4	-	PC15	CTIM1_CH0	XTLO
5	2	5	2	PD00	I2C0_SDA CTRIM_ETRTOG USART1_TXD CTIM1_CH2 I2CSLV_SCL	XTHI
6	3	6	3	PD01	I2C0_SCL ATIM3_CH0B USART1_RXD CTIM1_CH3 I2CSLV_SDA	XTHO
7	4	7	4	RESETB	-	-
8	-	8	-	AVSS	-	-
9	5	9	5	AVCC	-	-
10	6	10	6	PA00	USART1_CTS LPUART1_TXD ATIM0_ETR VCO_OUT ATIM1_CHA ATIM3_ETR ATIM0_CHA	AIN0 VCx_INN0 VCx_INP0
11	7	11	7	PA01	USART1_RTS LPUART1_RXD ATIM0_CHB ATIM1_ETR ATIM1_CHB HCLK_OUT SPI1_MOSI	AIN1 VCx_INN1 VCx_INP1
12	8	12	8	PA02	USART1_TXD ATIM0_CHA VC1_OUT ATIM1_CHA ATIM2_CHA ATIM3_CH0A SPI1_MISO	AIN2 VCx_INN2 VCx_INP2
13	9	13	9	PA03	USART1_RXD ATIM0_GATE ATIM1_CHB ATIM2_CHB SPI1_NSS ATIM3_CH0B PCLK_OUT	AIN3 VCx_INN3 VCx_INP3

LQFP48	LQFP32	QFN48	QFN32	Name	DIGITAL	ANALOG
14	10	14	10	PA04	SPI0_NSS USART1_SCK CTIM1_CH0 ATIM2_ETR ATIM3_CH1A USART1_TXD I2CSLV_SCL	AIN4 VCx_INN4 VCx_INP4
15	11	15	11	PA05	SPI0_SCK ATIM0_ETR CTIM0_ETR ATIM0_CHA ATIM3_CH1B XTL_OUT XTH_OUT	AIN5 VCx_INN5 VCx_INP5
16	12	16	12	PA06	SPI0_MISO CTIM0_CH0 ATIM3_BK ATIM1_CHA VCO_OUT ATIM3_GATE LPUART0_CTS	AIN6
17	13	17	13	PA07	SPI0_MOSI CTIM0_CH1 HCLK_OUT ATIM3_CH2A ATIM2_CHA VC1_OUT CTIM1_TOG	AIN7
18	14	18	14	PB00	CTIM0_CH2 CTIM1_TOGN LPUART0_TXD ATIM3_CH2B RCH_OUT RCL_OUT PLL_OUT	AIN8 VCx_INN6 VCx_INP6
19	15	19	15	PB01	CTIM0_CH3 PCLK_OUT I2CSLV_SDA ATIM3_CH1B LPUART0_RTS LPTIM_TOGN USART0_SCK	AIN9/EXVREF VCx_INN7 VCx_INP7
20	-	20	-	PB02	LPTIM_TOG CTIM0_ETR LPUART1_TXD ATIM3_CH0B ATIM1_BK ATIM0_BK ATIM2_BK	AIN10 OP2_INN
21	-	21	-	PB10	I2C1_SCL SPI1_SCK ATIM1_CHA LPUART0_TXD ATIM3_CH2A LPUART1_RTS USART1_RTS	AIN11 OP2_INP

LQFP48	LQFP32	QFN48	QFN32	Name	DIGITAL	ANALOG
22	-	22	-	PB11	I2C1_SDA ATIM1_CHB LPUART0_RXD ATIM2_GATE ATIM3_CH1A LPUART1_CTS USART1_CTS	AIN12 OP2_OUT
23	16	23	16	DVSS	-	-
24	17	24	17	DVCC	-	-
25	-	25	-	PB12	SPI1_NSS ATIM3_BK LPUART0_TXD ATIM0_BK LPUART0_RTS ATIM3_CH0A	AIN13 VCx_INN8 VCx_INP8 OP1_INN
26	-	26	-	PB13	SPI1_SCK I2C1_SCL ATIM3_CH0B LPUART0_CTS ATIM1_CHA ATIM1_GATE	AIN14 OP1_INP
27	-	27	-	PB14	SPI1_MISO I2C1_SDA ATIM3_CH1B ATIM0_CHA ATIM3_CH2A LPUART0_RTS ATIM1_BK	AIN15 OP1_OUT
28	-	28	-	PB15	SPI1_MOSI ATIM3_CH2B ATIM0_CHB ATIM0_GATE RTC_1HZ CTIM0_TOG LPUART1_RXD	-
29	18	29	18	PA08	USART0_SCK ATIM3_CH0A USART0_TXD CAN_STBY ATIM1_GATE CTIM0_TOGN ATIM3_BK	-
30	19	30	19	PA09	USART0_TXD ATIM3_CH1A ATIM0_BK I2C0_SCL MCO_OUT HCLK_OUT I2CSLV_SCL	-
31	20	31	20	PA10	USART0_RXD ATIM3_CH2A ATIM2_BK I2C0_SDA ATIM2_GATE PCLK_OUT I2CSLV_SDA	-

LQFP48	LQFP32	QFN48	QFN32	Name	DIGITAL	ANALOG
32	21	32	21	PA11	USART0_CTS ATIM3_GATE I2C1_SCL CAN_TX VC0_OUT SPI0_MISO ATIM3_CH1B	-
33	22	33	22	PA12	USART0_RTS ATIM3_ETR I2C1_SDA CAN_RX VC1_OUT SPI0_MOSI CTIM1_ETR	-
34	23	34	23	PA13/ SWDIO	USART1_SCK USART0_RXD LVD_OUT ATIM3_ETR RTC_1HZ CTIM1_CH1 CTRIM_ETRTOG	-
35	-	35	-	PD06	I2C1_SCL LPUART1_CTS USART0_CTS RTC_OUT ATIM3_BK CTIM1_CH2	-
36	-	36	-	PD07	I2C1_SDA LPUART1_RTS USART0_RTS RTC_TS ATIM3_ETR CTIM1_CH3	-
37	24	37	24	PA14/ SWCLK	USART1_TXD USART0_TXD ATIM3_CH2A LVD_OUT RCH_OUT RCL_OUT PLL_OUT	-
38	25	38	25	PA15	SPI0_NSS USART1_RXD LPUART1_RTS ATIM0_ETR ATIM0_CHA ATIM3_CH1A CAN_STBY	-
39	26	39	26	PB03	SPI0_SCK ATIM0_CHB ATIM1_GATE ATIM3_CH0A LPTIM_GATE XTL_OUT XTH_OUT	-

LQFP48	LQFP32	QFN48	QFN32	Name	DIGITAL	ANALOG
40	27	40	27	PB04	SPI0_MISO CTIM0_CH0 ATIM2_BK USART0_CTS ATIM2_GATE ATIM3_CH0B LPTIM_ETR	VCx_INN9 VCx_INP9
41	28	41	28	PB05	SPI0_MOSI ATIM3_BK ATIM1_BK CTIM0_CH1 LPTIM_GATE CTRIM_ETRTOG USART0_RTS	VCx_INN10 VCx_INP10
42	29	42	29	PB06	I2C0_SCL USART0_TXD ATIM1_CHB ATIM0_CHA LPTIM_ETR ATIM3_CH0A LPTIM_TOG	-
43	30	43	30	PB07	I2C0_SDA USART0_RXD ATIM2_CHB LPUART1_CTS ATIM0_CHB LPTIM_TOGN ATIM3_ETR	LVD_IN3
44	31	44	31	PD03/ BOOT0	-	-
45	-	45	-	PB08	I2C0_SCL ATIM1_CHA CAN_RX ATIM2_CHA ATIM0_GATE ATIM3_CH2A USART0_TXD	LVD_IN2
46	-	46	-	PB09	I2C0_SDA USART0_SCK SPI1_NSS ATIM2_CHA CAN_TX ATIM2_CHB USART0_RXD	-
47	32	47	32	DVSS	-	-
48	-	48	-	DVCC	-	-

每个引脚的数字功能由 PSEL 位域进行控制，详见下表。

表 3-2 端口数字复用功能

名称	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC13	CTIM1_ETR	RTC_1HZ	ATIM3_CH1B	CTIM0_TOG	-	-	-
PC14	CTIM1_CH0	CTIM0_TOGN	LVD_OUT	-	-	-	-
PC15	CTIM1_CH0	-	-	-	-	-	-
PD00	I2C0_SDA	CTRIM_ETRTOG	USART1_TXD	CTIM1_CH2	I2CSLV_SCL	-	-
PD01	I2C0_SCL	ATIM3_CH0B	USART1_RXD	CTIM1_CH3	I2CSLV_SDA	-	-
PA00	USART1_CTS	LPUART1_TXD	ATIM0_ETR	VC0_OUT	ATIM1_CHA	ATIM3_ETR	ATIM0_CHA

名称	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA01	USART1_RTS	LPUART1_RXD	ATIM0_CHB	ATIM1_ETR	ATIM1_CHB	HCLK_OUT	SPI1_MOSI
PA02	USART1_TXD	ATIM0_CHA	VC1_OUT	ATIM1_CHA	ATIM2_CHA	ATIM3_CH0A	SPI1_MISO
PA03	USART1_RXD	ATIM0_GATE	ATIM1_CHB	ATIM2_CHB	SPI1_NSS	ATIM3_CH0B	PCLK_OUT
PA04	SPI0_NSS	USART1_SCK	CTIM1_CH0	ATIM2_ETR	ATIM3_CH1A	USART1_TXD	I2CSLV_SCL
PA05	SPI0_SCK	ATIM0_ETR	CTIM0_ETR	ATIM0_CHA	ATIM3_CH1B	XTL_OUT	XTH_OUT
PA06	SPI0_MISO	CTIM0_CH0	ATIM3_BK	ATIM1_CHA	VC0_OUT	ATIM3_GATE	LPUART0_CTS
PA07	SPI0_MOSI	CTIM0_CH1	HCLK_OUT	ATIM3_CH2A	ATIM2_CHA	VC1_OUT	CTIM1_TOG
PB00	CTIM0_CH2	CTIM1_TOGN	LPUART0_TXD	ATIM3_CH2B	RCH_OUT	RCL_OUT	PLL_OUT
PB01	CTIM0_CH3	PCLK_OUT	I2CSLV_SDA	ATIM3_CH1B	LPUART0_RTS	LPTIM_TOGN	USART0_SCK
PB02	LPTIM_TOG	CTIM0_ETR	LPUART1_TXD	ATIM3_CH0B	ATIM1_BK	ATIM0_BK	ATIM2_BK
PB10	I2C1_SCL	SPI1_SCK	ATIM1_CHA	LPUART0_TXD	ATIM3_CH2A	LPUART1_RTS	USART1_RTS
PB11	I2C1_SDA	ATIM1_CHB	LPUART0_RXD	ATIM2_GATE	ATIM3_CH1A	LPUART1_CTS	USART1_CTS
PB12	SPI1_NSS	ATIM3_BK	LPUART0_TXD	ATIM0_BK	-	LPUART0_RTS	ATIM3_CH0A
PB13	SPI1_SCK	I2C1_SCL	ATIM3_CH0B	LPUART0_CTS	ATIM1_CHA	ATIM1_GATE	-
PB14	SPI1_MISO	I2C1_SDA	ATIM3_CH1B	ATIM0_CHA	ATIM3_CH2A	LPUART0_RTS	ATIM1_BK
PB15	SPI1_MOSI	ATIM3_CH2B	ATIM0_CHB	ATIM0_GATE	RTC_1HZ	CTIM0_TOG	LPUART1_RXD
PA08	USART0_SCK	ATIM3_CH0A	USART0_TXD	CAN_STBY	ATIM1_GATE	CTIM0_TOGN	ATIM3_BK
PA09	USART0_TXD	ATIM3_CH1A	ATIM0_BK	I2C0_SCL	MCO_OUT	HCLK_OUT	I2CSLV_SCL
PA10	USART0_RXD	ATIM3_CH2A	ATIM2_BK	I2C0_SDA	ATIM2_GATE	PCLK_OUT	I2CSLV_SDA
PA11	USART0_CTS	ATIM3_GATE	I2C1_SCL	CAN_TX	VC0_OUT	SPI0_MISO	ATIM3_CH1B
PA12	USART0_RTS	ATIM3_ETR	I2C1_SDA	CAN_RX	VC1_OUT	SPI0_MOSI	CTIM1_ETR
PA13	USART1_SCK	USART0_RXD	LVD_OUT	ATIM3_ETR	RTC_1HZ	CTIM1_CH1	CTRIM_ETRTOG
PD06	I2C1_SCL	LPUART1_CTS	USART0_CTS	RTC_OUT	ATIM3_BK	CTIM1_CH2	-
PD07	I2C1_SDA	LPUART1_RTS	USART0_RTS	RTC_TS	ATIM3_ETR	CTIM1_CH3	-
PA14	USART1_TXD	USART0_TXD	ATIM3_CH2A	LVD_OUT	RCH_OUT	RCL_OUT	PLL_OUT
PA15	SPI0_NSS	USART1_RXD	LPUART1_RTS	ATIM0_ETR	ATIM0_CHA	ATIM3_CH1A	CAN_STBY
PB03	SPI0_SCK	ATIM0_CHB	ATIM1_GATE	ATIM3_CH0A	LPTIM_GATE	XTL_OUT	XTH_OUT
PB04	SPI0_MISO	CTIM0_CH0	ATIM2_BK	USART0_CTS	ATIM2_GATE	ATIM3_CH0B	LPTIM_ETR
PB05	SPI0_MOSI	ATIM3_BK	ATIM1_BK	CTIM0_CH1	LPTIM_GATE	CTRIM_ETRTOG	USART0_RTS
PB06	I2C0_SCL	USART0_TXD	ATIM1_CHB	ATIM0_CHA	LPTIM_ETR	ATIM3_CH0A	LPTIM_TOG
PB07	I2C0_SDA	USART0_RXD	ATIM2_CHB	LPUART1_CTS	ATIM0_CHB	LPTIM_TOGN	ATIM3_ETR
PD03	-	-	-	-	-	-	-
PB08	I2C0_SCL	ATIM1_CHA	CAN_RX	ATIM2_CHA	ATIM0_GATE	ATIM3_CH2A	USART0_TXD
PB09	I2C0_SDA	USART0_SCK	SPI1_NSS	ATIM2_CHA	CAN_TX	ATIM2_CHB	USART0_RXD

3.3 模块信号说明

表 3-3 模块信号说明

模块	引脚名称	描述
电源	DVCC	数字电源
	AVCC	模拟电源
	DVSS	数字地
	AVSS	模拟地
	VCAP	LDO 内核供电输出（仅限内部电路使用，需外接稳压电容）
ISP	BOOT0	当复位时 BOOT0（PD03）管脚为高电平，芯片工作于 ISP 编程模式，可通过 ISP 协议对 Flash 进行编程。 当复位时 BOOT0（PD03）管脚为低电平，芯片工作于用户模式，芯片执行 Flash 内的程序代码，可通过 SWD 协议对 Flash 进行编程。

模块	引脚名称	描述
ADC	AINx(x=0~15)	ADC 输入通道
	EXVREF	ADC 外部参考电压
VC	VCx_INNy(x=0~1 y=0~10)	VCx 负端输入
	VCx_INPy(x=0~1 y=0~10)	VCx 正端输入
	VCx_OUT(x=0~1)	VCx 比较输出
LVD	LVD_INx(x=1~3)	电压侦测输入
	LVD_OUT	电压侦测输出
OPA	OPAx_INNx(x=0~1)	OPA 负端输入
	OPAx_INPx(x=0~1)	OPA 正端输入
	OPAx_OUTx(x=0~1)	OPA 输出
USART	USARTx_TXD(x=0~1)	USART 数据发送端
	USARTx_RXD(x=0~1)	USART 数据接收端
	USARTx_CTS(x=0~1)	USART 发送硬件流控
	USARTx_RTS(x=0~1)	USART 接收硬件流控
	USARTx_SCK	USART 时钟输入输出
LPUART	LPUARTx_TXD(x=0~1)	LPUART 数据发送端
	LPUARTx_RXD(x=0~1)	LPUART 数据接收端
	LPUARTx_CTS(x=0~1)	LPUART 发送硬件流控
	LPUARTx_RTS(x=0~1)	LPUART 接收硬件流控
CTRIM	CTRIM_ETR/TOG	CTRIM 外部同步信号/翻转输出信号
SPI	SPIx_MISO(x=0~1)	SPI 模块主机输入从机输出数据信号
	SPIx_MOSI(x=0~1)	SPI 模块主机输出从机输入数据信号
	SPIx_SCK(x=0~1)	SPI 模块时钟信号
	SPIx_NSS(x=0~1)	SPI 片选
I2C	I2Cx_SDA(x=0~1)	I2C 模块数据信号
	I2Cx_SCL(x=0~1)	I2C 模块时钟信号
I2CSLV	I2CSLV_SDA	I2CSLV 模块数据信号
	I2CSLV_SCL	I2CSLV 模块时钟信号

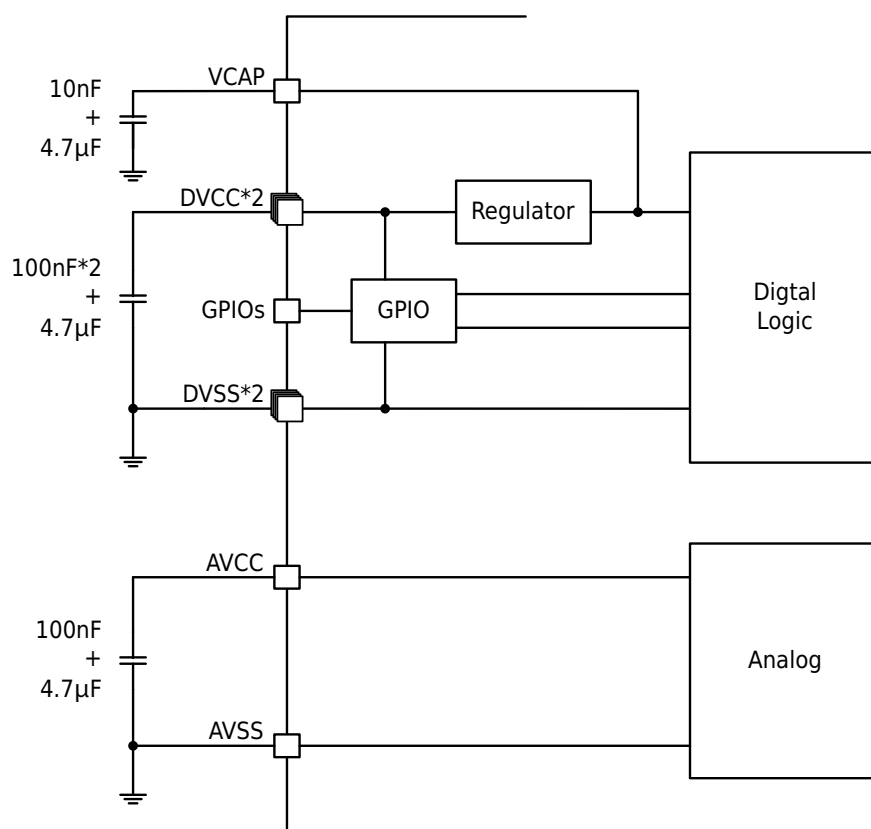
模块	引脚名称	描述
CAN	CAN_TX	CAN 发送脚
	CAN_RX	CAN 接收脚
	CAN_STBY	CAN 收发器 standby 控制脚
RTC	RTC_1HZ	RTC 1Hz 输出
	RTC_OUT	RTC 中断标志输出
	RTC_TS	RTC 时间戳输入
复合定时器 CTIM	CTIMx_CHy(x=0~1 y=0~3)	GTIM 的捕获输入比较输出/BTIM 翻转输出信号
	CTIMx_ETR(x=0~1)	GTIM 的外部计数输入信号
	CTIMx_TOG/TOGN(x=0~1)	GTIM/BTIM 的翻转输出信号
高级定时器 ATIM0~2	ATIMx_CHA(x=0~2)	ATIM 的捕获输入比较输出 A
	ATIMx_CHB(x=0~2)	ATIM 的捕获输入比较输出 B
	ATIMx_ETR(x=0~2)	ATIM 的外部计数输入信号
	ATIMx_BK(x=0~2)	ATIM 的外部刹车输入信号
	ATIMx_GATE(x=0~2)	ATIM 的门控信号
高级定时器 ATIM3	ATIM3_CHyA(y=0~2)	ATIM3 的捕获输入比较输出 A
	ATIM3_CHyB(y=0~2)	ATIM3 的捕获输入比较输出 B
	ATIM3_ETR	ATIM3 的外部计数输入信号
	ATIM3_BK	ATIM3 的外部刹车输入信号
	ATIM3_GATE	ATIM3 的门控信号
低功耗定时器 LPTIM	LPTIM_TOG	LPTimer 的翻转输出信号
	LPTIM_TOGN	LPTimer 的翻转输出反向信号
	LPTIM_ETR	LPTimer 的外部计数输入信号
	LPTIM_GATE	LPTimer 的门控信号



说明

大部分 IO 端口复位为模拟输入状态，休眠模式和深度休眠模式保持之前的端口状态。

4 典型应用电路图



注意

- AVCC 与 DVCC 电压必须相同。
- 每组电源需要外接去耦电容，为了更好的抗干扰能力，电源/地走线最好先经过去耦电容，再连到芯片。

5 电气特性

5.1 参数条件

若无另行说明，所有电压的都以 VSS 为基准。

5.1.1 最小值和最大值

所有最小值和最大值在最坏的条件下测得。

在每个表格下方的注解中说明为通过设计保证、综合评估得出的数据，不会在生产线上进行测试。

5.1.2 典型数值

除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{CC}=3.3\text{V}$ 给出的。这些数据仅用于设计指导，并未经过测试。

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5-1 电压电流特性

符号	参数	最小值	最大值	单位
VCC-VSS	外部主供电电压（包含 AVCC 和 DVCC） ⁽¹⁾	-0.3	5.5	V
V _{IN}	在其它引脚上的输入电压 ⁽²⁾	VSS-0.3	VCC+0.3	V
\Delta VCCx	不同供电引脚之间的电压差	-	50	mV
VSSx-VSS	不同接地引脚之间的电压差	-	50	mV
V _{ESD} (HBM)	ESD 静电放电电压（人体模型）	参考绝对最大值电气参数		V
I _{VCC}	经过 DVCC/AVCC 电源线的总电流（供应电流） ⁽¹⁾	-	100	mA
I _{VSS}	经过 DVSS/AVSS 地线的总电流（流出电流） ⁽¹⁾	-	100	mA
I _{IO}	任意 I/O 和控制引脚上的输出灌电流	-	18	mA
	任意 I/O 和控制引脚上的输出电流	-	-18	mA
I _{INJ(PIN)} ⁽²⁾⁽³⁾	RESETB 引脚的注入电流	-	±5	mA
	XTH 的 XTHI 引脚和 XTL 的 XTLI 引脚的注入电流	-	±5	mA
	其他引脚的注入电流 ⁽⁴⁾	-	±5	mA
ΣI _{INJ(PIN)} ⁽²⁾	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	-	±25	mA

 说明

1. 所有的电源（DVCC，AVCC）和地（DVSS，AVSS）引脚必须始终连接到外部允许范围内的供电系统上。
2. I_{INJ(PIN)}绝对不可以超过它的极限，即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值，也要保证在外部限制 I_{INJ(PIN)}不超过其最大值。当 V_{IN}>VCC 时，有一个正向注入电流；当 V_{IN}<VSS 时，有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。
4. 当几个 I/O 口同时有注入电流时，ΣI_{INJ(PIN)}的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上ΣI_{INJ(PIN)}最大值的特性。

表 5-2 温度特性

符号	描述	数值	单位
T _{STG}	储存温度范围	-65~+150	°C
T _{Jmax}	最大结温度	125	°C

5.3 工作条件

5.3.1 通用工作条件

表 5-3 通用工作条件

符号	参数	条件	最小值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	0	64	MHz
f _{PCLK0}	内部 APB0 时钟频率	-	0	64	MHz
f _{PCLK1}	内部 APB1 时钟频率	-	0	64	MHz
DVCC	数字部分工作电压	-	2.0	5.5	V
AVCC ⁽¹⁾	模拟部分工作电压	必须与 DVCC ⁽²⁾ 相同	2.0	5.5	V
T _A	环境温度	最大功率消耗	-40	105	°C
		低功率消耗	-40	125	°C
T _J	结温度范围	-	-40	125	°C



说明

- 1. 当使用 ADC 时，参见 ADC 电气参数。
- 2. 建议使用相同的电源为 DVCC 和 AVCC 供电，在上电和正常操作期间，DVCC 和 AVCC 之间最多允许有 300mV 的差别。

5.3.2 上电和掉电时的工作条件

表 5-4 上电和掉电的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VCC}	VCC 上升速率	-	1	∞	μs/V
t _{VCC}	VCC 下降速率	-	10	∞	μs/V

5.3.3 内嵌复位和 LVD 模块特性

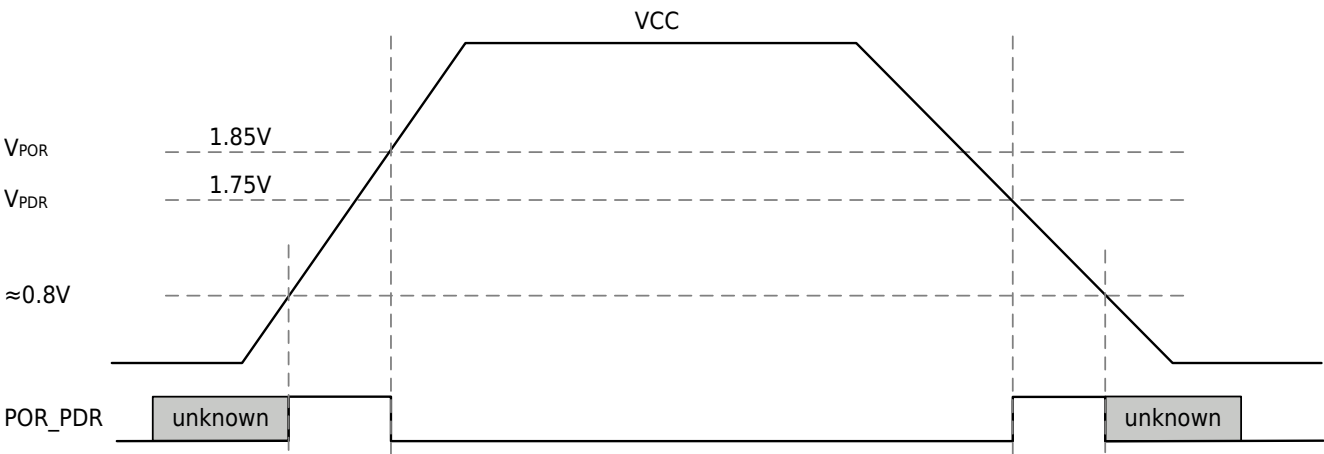


图 5-1 POR/Brown Out 示意图

表 5-5 POR/Brown Out

符号	参数	条件	最小值	典型值	最大值	单位
V _{POR}	POR 释放电压（上电过程）	-	-	1.85	-	V
V _{PDR}	PDR 检测电压（掉电过程）	-	-	1.75	-	V

表 5-6 LVD 模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{ex}	外部输入电压范围	-	0	-	VCC	V
V _{level}	检测阈值	LVD_CR.VTDS=0b0000 LVD_CR.VTDS=0b0001 LVD_CR.VTDS=0b0010 LVD_CR.VTDS=0b0011 LVD_CR.VTDS=0b0100 LVD_CR.VTDS=0b0101 LVD_CR.VTDS=0b0110 LVD_CR.VTDS=0b0111 LVD_CR.VTDS=0b1000 LVD_CR.VTDS=0b1001 LVD_CR.VTDS=0b1010 LVD_CR.VTDS=0b1011 LVD_CR.VTDS=0b1100 LVD_CR.VTDS=0b1101 LVD_CR.VTDS=0b1110 LVD_CR.VTDS=0b1111	1.70 1.80 1.90 2.00 2.10 2.20 2.30 2.35 2.45 2.55 2.65 2.75 2.85 2.95 3.05 3.15	1.80 1.90 2.00 2.10 2.20 2.30 2.40 2.50 2.60 2.70 2.80 2.90 3.00 3.10 3.20 3.30	1.90 2.00 2.10 2.20 2.30 2.40 2.55 2.65 2.75 2.85 2.95 3.05 3.15 3.25 3.35 3.45	V
T _{response}	响应时间	选择检测 GPIO 管脚电压， VCC=3.3V， LVD_CR.VTDS=0b1000，检测电压 由 (V _{level} +100mV) 变为 (V _{level} -100mV)，变化斜率为 2 × 10 ⁵ V/μs	-	28	-	μs

符号	参数	条件	最小值	典型值	最大值	单位
T_{setup}	建立时间	选择检测 GPIO 管脚电压， $V_{CC}=3.3V$ ， $LVD_CR.VTDS=0b1000$ ，检测电压 低于 V_{level} 100mV	-	50	-	μs
V_{hyste}	迟滞电压	-	-	40	-	mV
T_{filter}	滤波时间	$LVD_CR.DEBOUNCETIME=0b000$ $LVD_CR.DEBOUNCETIME=0b001$ $LVD_CR.DEBOUNCETIME=0b010$ $LVD_CR.DEBOUNCETIME=0b011$ $LVD_CR.DEBOUNCETIME=0b100$ $LVD_CR.DEBOUNCETIME=0b101$ $LVD_CR.DEBOUNCETIME=0b110$ $LVD_CR.DEBOUNCETIME=0b111$	-	7 14 28 112 450 1800 7200 28800	-	μs

5.3.4 内置的参考电压

表 5-7 内置参考电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{\text{REF}25}^{(2)}$	Internal 2.5V Reference Voltage	$V_{CC}=3.3V$ $T_A=25^{\circ}C$	2.475	2.5	2.525	V
$V_{\text{REF}25}^{(1)(2)}$	Internal 2.5V Reference Voltage	$V_{CC}=2.8\sim 5.5V$ $T_A=-40\sim 105^{\circ}C$	2.45	2.5	2.55	V
$V_{\text{REF}15}$	Internal 1.5V Reference Voltage	$V_{CC}=3.3V$ $T_A=25^{\circ}C$	1.485	1.5	1.515	V
$V_{\text{REF}15}^{(1)}$	Internal 1.5V Reference Voltage	$V_{CC}=2.0\sim 5.5V$ $T_A=-40\sim 105^{\circ}C$	1.47	1.5	1.53	V
$T_{\text{Coeff}}^{(3)}$	Internal 2.5V 1.5V temperature coefficient	$T_A=-40\sim 105^{\circ}C$	-	-	120	ppm/ $^{\circ}C$
$T_{\text{stable(BGR)}}^{(3)}$	BGR stable time	$V_{CC}=3.3V$ $T_A=25^{\circ}C$	-	60	-	μs



说明

1. 由综合评估得出，不在生产中测试。
2. 只有在电源电压超过 2.8V 时才能选择 2.5V 档位，否则会引起系统工作不正常。
3. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{CC} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。

- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0~24MHz 时为 0 个等待周期，24~48MHz 时为 1 个等待周期）。
- 当开启外设时： $f_{PCLK0}=f_{HCLK}$ ， $f_{PCLK1}=f_{HCLK}$ 。

表 5-8 工作电流特性

符号	参数	条件			典型值 ⁽¹⁾⁽³⁾	最大值 ⁽²⁾⁽³⁾	Unit					
I _{DD} (Run in RAM)	All peripherals clock ON, Run while(1) in RAM	V _{CAP} =1.2V V _{CC} =3.3V T _A =2x°C	RCH clock source	3M	520	-	μA					
				4M	590	-						
				6M	730	-						
				12M	1150	-						
			PLL RCH12M to xxM clock source	16M	2000	-						
				24M	2600	-						
				32M	3280	-						
				64M	5830	-						
	All peripherals clock OFF, Run while(1) in RAM	V _{CAP} =1.2V V _{CC} =3.3V T _A =2x°C	RCH clock source	3M	380	-	μA					
				4M	400	-						
				6M	460	-						
				12M	610	-						
			PLL RCH12M to xxM clock source	16M	1280	-						
				24M	1520	-						
				32M	1820	-						
				64M	2920	-						
I _{DD} (Run CoreMark)	All peripherals clock OFF, Run CoreMark in Flash	V _{CAP} =1.2V V _{CC} =3.3V T _A =2x°C	RCH clock source	3M	763	-	μA					
				4M	903	-						
				6M	1175	-						
				12M	1775	-						
			PLL RCH12M to xxM clock source	16M	2338	-						
				24M Flash Wait=1	2549	-						
				32M Flash Wait=1	2835	-						
				64M Flash Wait=2	4310	-						
				I _{DD} (Run mode)	All peripherals clock ON, Run while(1) in Flash	V _{CAP} =1.2V V _{CC} =2.0~5.5 V T _A =-40~105 °C		RCH clock source	3M	492	-	μA
									4M	557	-	
									6M	685	-	
									12M	1071	3600	
PLL RCH12M to xxM clock source	16M	1894	-									
	24M Flash Wait=1	2445	5000									
	32M Flash Wait=1	3070	6400									
	64M Flash Wait=2	5425	9000									

符号	参数	条件			典型值 ⁽¹⁾⁽³⁾	最大值 ⁽²⁾⁽³⁾	Unit
I _{DD} (Run mode)	All peripherals clock OFF, Run while(1) in Flash	V _{CAP} =1.2V V _{CC} =2.0~5.5 V T _A =-40~105 °C	RCH clock source	3M	356	-	μA
				4M	375	-	
				6M	414	-	
				12M	528	2900	
			PLL RCH12M to xxM clock source	16M	1171	-	
				24M Flash Wait=1	1366	4200	
				32M Flash Wait=1	1615	4800	
				64M Flash Wait=2	2518	5800	
I _{DD} (Sleep mode)	All peripherals clock ON	V _{CAP} =1.2V V _{CC} =2.0~5.5 V T _A =-40~105 °C	RCH clock source	3M	460	-	μA
				4M	514	-	
				6M	621	-	
				12M	944	1600	
			PLL RCH12M to xxM clock source	16M	1725	-	
				24M Flash Wait=1	2191	3000	
				32M Flash Wait=1	2727	3600	
				64M Flash Wait=2	4741	6000	
	All peripherals clock OFF	V _{CAP} =1.2V V _{CC} =2.0~5.5 V T _A =-40~105 °C	RCH clock source	3M	323	-	μA
				4M	332	-	
				6M	348	-	
				12M	398	1000	
			PLL RCH12M to xxM clock source	16M	998	-	
				24M Flash Wait=1	1106	1800	
				32M Flash Wait=1	1267	2000	
				64M Flash Wait=2	1824	2600	
I _{DD} (LP Run)	All peripherals clock ON, Run while(1) in Flash	V _{CAP} =1.2V V _{CC} =2.0~5.5 V T _A =-40~105 °C	RCL clock source ⁽⁴⁾	-	113	600	μA
			XTL clock source ⁽⁴⁾	Driver=2	112	600	
	All peripherals clock OFF, Run while(1) in Flash		RCL clock source ⁽⁴⁾	-	112	590	
			XTL clock source ⁽⁴⁾	Driver=2	111	590	
I _{DD} (LP Sleep)	All peripherals clock ON,	V _{CAP} =1.2V V _{CC} =2.0~5.5 V T _A =-40~105 °C	RCL clock source ⁽⁴⁾	-	113	580	μA
			XTL clock source ⁽⁴⁾	Driver=2	113	580	
	All peripherals clock OFF,		RCL clock source ⁽⁴⁾	-	111	570	
			XTL clock source ⁽⁴⁾	Driver=2	111	570	
I _{DD} (DeepSleep)	All peripherals clock OFF	V _{CAP} =1.2V	NO CLK	-	21	410	μA

符号	参数	条件			典型值 ⁽¹⁾⁽³⁾	最大值 ⁽²⁾⁽³⁾	Unit
I _{DD} (DeepSleep)	All peripherals clock OFF	V _{CC} =2.0~5.5 V T _A =-40~105 °C	RCL ⁽⁴⁾	-	22	420	μA
	All peripherals clock OFF		XTL ⁽⁴⁾	-	21	405	
	Other peripherals clock OFF		RCL ⁽⁴⁾	WDT	22	430	
	Other peripherals clock OFF		RCL ⁽⁴⁾	LVD	22	430	
	Other peripherals clock OFF		RCL ⁽⁴⁾	WDT+LVD	22	430	



说明

1. 若没有其他指定条件，该 Typ 的值是在 25°C & V_{CC}=3.3V 测得。
2. 若没有其他指定条件，该 Max 的值是 V_{CC}=2.0-5.5V & Temperature=-40~105°C范围内的最大值。
3. 由综合评估得出，不在生产中测试。
4. RCL、XTL 时钟测试使用频率为 32.768kHz。

5.3.6 从低功耗模式唤醒的时间

唤醒时间是在 RCH 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 休眠模式：时钟源是 RCH 振荡器
- 深度休眠模式：时钟源是 RCH 振荡器

表 5-9 低功耗模式唤醒时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
T _{wu}	休眠模式唤醒时间	-	-	1.8	-	μs
	深度休眠唤醒时间	F _{RCH} =4MHz	-	13	-	μs
		F _{RCH} =6MHz	-	11	-	μs
		F _{RCH} =12MHz	-	9	-	μs



说明

1. 由设计保证，不在生产中测试。
2. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 外部时钟源特性

5.3.7.1 外部输入高速时钟

表 5-10 外部输入高速时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f _{XTH_ext}	用户外部时钟频率	-	8	-	24	MHz
V _{XTHH}	输入引脚高电平电压	-	0.7VCC	-	VCC	V
V _{XTHL}	输入引脚低电平电压	-	VSS	-	0.3VCC	V
T _{r(XTH)}	上升的时间	-	-	-	20	ns

符号	参数	条件	最小值	典型值	最大值	单位
$T_{f(XTH)}$	下降的时间	-	-	-	20	ns
$T_{w(XTH)}$	输入高或低的时间	-	16	-	-	ns
$C_{in(XTH)}$	输入容抗	-	-	5	-	pF
Duty	占空比	-	40	-	60	%
I_L	输入漏电流	-	-	-	± 1	μA

说明

1. 由设计保证，不在生产中测试。

5.3.7.2 外部输入低速时钟

表 5-11 外部输入低速时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{XTL_ext}	用户外部时钟频率	-	0	32.768	1000	kHz
V_{XTLH}	输入引脚高电平电压	-	0.7VCC	-	VCC	V
V_{XTLL}	输入引脚低电平电压	-	VSS	-	0.3VCC	V
$T_{r(XTL)}$	上升的时间	-	-	-	50	ns
$T_{f(XTL)}$	下降的时间	-	-	-	50	ns
$T_{w(XTL)}$	输入高或低的时间	-	450	-	-	ns
$C_{in(XTL)}$	输入容抗	-	-	5	-	pF
Duty	占空比	-	30	-	70	%
I_L	输入漏电流	-	-	-	± 1	μA

说明

1. 由设计保证，不在生产中测试。

5.3.7.3 外部高速晶振 XTH

外部高速晶振 XTH 可以使用一个 8~24MHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 5-12 外部高速晶振 XTH 特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
F_{CLK}	振荡频率	-	8	-	24	MHz

符号	参数	条件	最小值	典型值	最大值	单位
ESR _{CLK}	支持的晶振 ESR 范围	24MHz	-	-	60	Ω
		16MHz	-	-	80	
		8MHz	-	-	120	
C _{LX} ⁽³⁾	匹配电容	按晶体制造商要求进行配置。	4	12	20	pF
g _m	跨导	SYSCTRL_XTHCR[3:0]=0b1111	-	11	-	mS
		SYSCTRL_XTHCR[3:0]=0b1110	-	6.286	-	
		SYSCTRL_XTHCR[3:0]=0b1101	-	4.411	-	
		SYSCTRL_XTHCR[3:0]=0b1100	-	3.42	-	
		SYSCTRL_XTHCR[3:0]=0b1011	-	6.963	-	
		SYSCTRL_XTHCR[3:0]=0b1010	-	3.98	-	
		SYSCTRL_XTHCR[3:0]=0b1001	-	2.794	-	
		SYSCTRL_XTHCR[3:0]=0b1000	-	2.167	-	
		SYSCTRL_XTHCR[3:0]=0b0111	-	2.42	-	
		SYSCTRL_XTHCR[3:0]=0b0110	-	1.369	-	
		SYSCTRL_XTHCR[3:0]=0b0101	-	0.955	-	
		SYSCTRL_XTHCR[3:0]=0b0100	-	0.738	-	
		SYSCTRL_XTHCR[3:0]=0b0011	-	1.177	-	
		SYSCTRL_XTHCR[3:0]=0b0010	-	0.670	-	
		SYSCTRL_XTHCR[3:0]=0b0001	-	0.469	-	
		SYSCTRL_XTHCR[3:0]=0b0000	-	0.363	-	
Duty	占空比	-	40	50	60	%
I _{dd} ⁽⁴⁾	电流	SYSCTRL_XTHCR[3:0]=0b1111	-	1200	-	μA
		SYSCTRL_XTHCR[3:0]=1110, Freq=24M, VCC=3.3V, Temp=25℃	-	750	-	μA
		SYSCTRL_XTHCR[3:0]=0b0000	-	150	-	μA
T _{start} ⁽⁵⁾	启动时间	24M, C _{LX} =16pF@ SYSCTRL_XTHCR[3:0]=0b1110	-	300	-	μs
		16 MHz, C _{LX} =16pF@ SYSCTRL_XTHCR[3:0]=0b1010	-	400	-	μs
		8MHz, C _{LX} =16pF@ SYSCTRL_XTHCR[3:0]=0b0110	-	1	-	ms



说明

- 1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
- 2. 由综合评估得出，不在生产中测试。
- 3. C_{Lx} 指晶体两个管脚的匹配电容 C_{L1} 和 C_{L2} ，建议使用高质量陶瓷电容，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。在选择 C_{Lx} 时，应该根据晶振的频率和 ESR 等参数，并且将 PCB 和 MCU 引脚的总对地寄生电容 C_p 考虑在内。

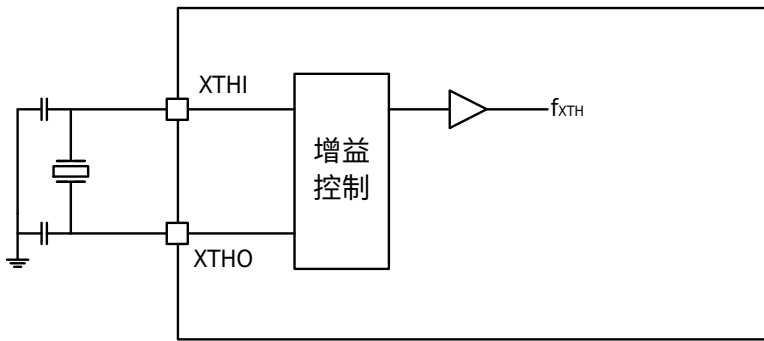
匹配电容 C_{Lx} 建议按照晶体制造商的技术手册的要求进行配置：

- 如果晶体制造商给出了负载电容的容值 (C_L)，则 $C_{Lx} = 2 \times C_L - C_p$
- 如果晶体制造商给出了匹配电容的容值，则 $C_{Lx} = \text{匹配电容容值} - C_p$

实际使用中，如果选择的 C_{Lx} 较大，建议选用合适的电流档位设置。

例：

- 晶体制造商给出晶体的负载电容为 8pF 时，考虑 PCB 与 MCU 引脚之间的分布电容，建议选择容值为 12pF 的匹配电容。
 - 晶体制造商给出晶体的匹配电容为 12pF 时，考虑 PCB 与 MCU 引脚之间的分布电容，建议选择容值为 10pF 或 8pF 的匹配电容。
- 4. 电流跟随频率和驱动能力的选择而变化。
 - 5. T_{start} 是启动时间，是从软件使能 XTH 开始测量，直至得到稳定的频率输出的这段时间。这个数值是在 $SYSCTRL_XTHCR[5:4]=0b10$ 设置下，使用一个标准的晶体谐振器上测量得到，它可能因晶体制造商和型号的不同而变化较大。



5.3.7.4 外部低速晶振 XTL

外部低速晶振 XTL 可以使用一个 32.768kHz 的晶体/陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数（频率、封装、精度等），请咨询相应的生产厂商。

表 5-13 外部低速晶振 XTL 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
F_{CLK}	振荡频率	-	-	32.768	-	kHz
ESR_{CLK}	支持的晶振 ESR 范围	-	-	-	60	kΩ
$C_{Lx}^{(2)}$	匹配电容	按晶体制造商要求进行配置。	4	12	20	pF

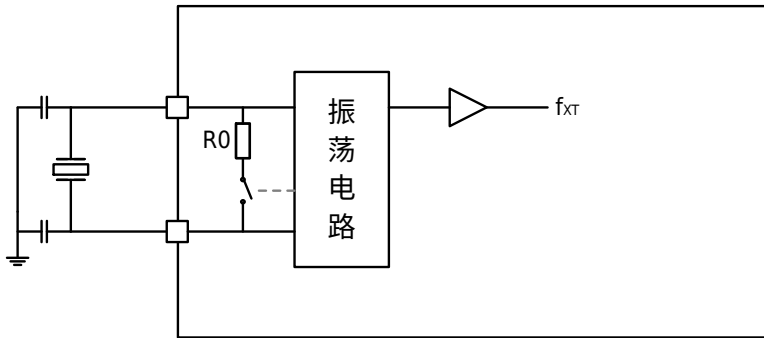
符号	参数	条件	最小值	典型值	最大值	单位
DC_{ACLK}	占空比	-	30	50	70	%
$I_{dd}^{(3)}$	电流	SYSCTRL_XTLCR[3:0]=0b1111	-	2000	-	nA
		SYSCTRL_XTLCR[3:0]=0b0010	-	400	-	
g_m	跨导	SYSCTRL_XTLCR[3:0]=0b1111	-	20.1	-	μS
		SYSCTRL_XTLCR[3:0]=0b1110	-	10.1	-	
		SYSCTRL_XTLCR[3:0]=0b1101	-	6.6	-	
		SYSCTRL_XTLCR[3:0]=0b1100	-	4.9	-	
		SYSCTRL_XTLCR[3:0]=0b1011	-	18.1	-	
		SYSCTRL_XTLCR[3:0]=0b1010	-	9.1	-	
		SYSCTRL_XTLCR[3:0]=0b1001	-	5.9	-	
		SYSCTRL_XTLCR[3:0]=0b1000	-	4.4	-	
		SYSCTRL_XTLCR[3:0]=0b0111	-	16.2	-	
		SYSCTRL_XTLCR[3:0]=0b0110	-	8.1	-	
		SYSCTRL_XTLCR[3:0]=0b0101	-	5.2	-	
		SYSCTRL_XTLCR[3:0]=0b0100	-	3.9	-	
		SYSCTRL_XTLCR[3:0]=0b0011	-	14.1	-	
		SYSCTRL_XTLCR[3:0]=0b0010	-	7.0	-	
		SYSCTRL_XTLCR[3:0]=0b0001	-	4.6	-	
		SYSCTRL_XTLCR[3:0]=0b0000	-	3.4	-	
$T_{start}^{(4)}$	启动时间	ESR=30k Ω C_{Lx} =12pF 40%~60% duty cycle has been reached	-	1000	-	ms



说明

1. 由综合评估得出，不在生产中测试。
2. C_{Lx} 指晶体两个管脚的匹配电容 C_{L1} 和 C_{L2} ，建议使用高质量陶瓷电容，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。在选择 C_{Lx} 时，应该根据晶振的频率和 ESR 等参数，并且将 PCB 和 MCU 引脚的总对地寄生电容 C_p 考虑在内。

匹配电容 C_{Lx} 建议按照晶体制造商的技术手册的要求进行配置：
 - 如果晶体制造商给出了负载电容的容值 (C_L)，则 $C_{Lx} = 2 \times C_L - C_p$
 - 如果晶体制造商给出了匹配电容的容值，则 $C_{Lx} = \text{匹配电容容值} - C_p$实际使用中，如果选择的 C_{Lx} 较大，建议选用合适的电流档位设置。
3. 选择具有较小 ESR 值的高质量振荡器，可以通过调节 `SYSCTRL_XTLCR[3:0]` 设置值以优化电流消耗。电流消耗与电路提供的跨导 (g_m) 成正比。
4. T_{start} 是启动时间，是从软件使能 XTL 开始测量，直至得到稳定的 32768Hz 振荡这段时间。这个数值是在 `SYSCTRL_XTLCR[3:0]=0b1001` 和 `SYSCTRL_XTLCR[5:4]=0b10` 设置下，使用一个标准的晶体谐振器上测量得到，它可能因晶体制造商和型号的不同而变化较大。



说明

- 芯片内已集成反馈电阻 R0。

5.3.8 内部时钟源特性

5.3.8.1 内部高速时钟 RCH

表 5-14 内部高速时钟 RCH 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
Dev ⁽¹⁾	RCH 振荡器精度	User trimming step for given VCC and T _A conditions	-	0.25	-	%
		VCC=2.0~5.5V, T _A =-40~105℃	-1	0.25	1	%
F _{CLK}	振荡频率	VCC=3.3V, T _A =25℃	11.94	12	12.06	MHz
T _{su} ⁽²⁾	启动时间	-	-	5	-	us
I _{CLK} ⁽²⁾	电流	F _{MCLK} =12MHz	-	120	-	μA
DC _{CLK} ⁽¹⁾	占空比	-	45	50	55	%



说明

- 1. 由综合评估得出，不在生产中测试。
- 2. 由设计保证，不在生产中测试。

5.3.8.2 内部低速时钟 RCL

表 5-15 内部低速时钟 RCL 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
Dev ⁽¹⁾	RCL 振荡器精度	User trimming step for given VCC and T _A conditions	-	0.5	-	%
		VCC=2.0~5.5V, T _A =-40~105℃	-2	-	2	%
		VCC=2.0~5.5V, T _A =-20~50℃	-1.5	-	1.5	%
F _{CLK}	振荡频率	VCC=3.3V T _A =25℃	38.09	38.4	38.71	kHz
			32.50	32.768	33.03	kHz
T _{CLK} ⁽²⁾	启动时间	-	-	150	-	μs
DC _{CLK} ⁽¹⁾	占空比	-	25	50	75	%
I _{CLK} ⁽²⁾	功耗	-	-	0.9	-	μA



说明

- 1. 由综合评估得出，不在生产中测试。
- 2. 由设计保证，不在生产中测试。

5.3.9 PLL 特性

表 5-16 PLL 特性

符号	参数	条件	最小值	典型值	最大值	单位
F _{in} ⁽¹⁾	输入时钟	-	4	4	24 ⁽²⁾	MHz
Duty _{in}	输入时钟占空比	-	40	-	60	%
F _{out}	输出频率	-	12	-	64	MHz
T _{lock} ⁽¹⁾	锁定时间	F _{in} =8M	-	40	80	μs
Duty _{out} ⁽¹⁾	输出占空比	-	48%	-	52%	-



说明

- 1. 由设计保证，不在生产中测试。
- 2. 当输入频率超过 12M 时，需设置预分频，详细设置请参见相应的《参考手册》。

5.3.10 Flash 存储器特性

表 5-17 Flash 存储器特性

符号	参数	条件		最小值	典型值	最大值	单位
EC _{FLASH}	编程、页擦除 (Sector Erase) 次数	T _A =-40℃ ~105℃	数据保存期限 RET _{FLASH} : 10 年, T _A =85℃	-	100000	-	次
			数据保存期限 RET _{FLASH} : 20 年, T _A =85℃	20000	-	-	次
T _{b_prog}	编程时间 (字节)	-		22	-	30	μs
T _{w_prog}	编程时间 (字)	-		40	-	52	μs
T _{p_erase}	页擦除时间	-		2	-	3	ms
T _{m_erase}	整片擦除时间	-		30	-	40	ms

5.3.11 EFT 特性

芯片复位可以使系统恢复正常操作。

表 5-18 EFT 特性

符号	级别/类型
EFT to IO (IEC61000-4-4)	TBD
EFT to Power (IEC61000-4-4)	TBD

软件建议

软件的流程中必须包含应对程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏（控制寄存器等）

在进行 EFT 测试时，可以把超出应用要求的干扰直接施加在芯片电源或 IO 上，当检测到意外动作的地方，软件部分进行加强以防止发生不可恢复的错误。

5.3.12 ESD 特性

使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

表 5-19 ESD 特性

符号	参数	条件	最小值	典型值	最大值	单位
$VESD_{HBM}^{(1)}$	ESD @ Human Body Mode	$T_A=25^{\circ}C$ ，符合 ANSI/ESDA/JEDEC JS-001	-4	-	4	kV
$VESD_{CDM}^{(1)}$	ESD @ Charge Device Mode	$T_A=25^{\circ}C$ ，符合 ANSI/ESDA/JEDEC JS-002	-1	-	1	kV
$I_{latchup}^{(1)}$	Latch up current	$T_A=105^{\circ}C$ ，符合 JESD78	-200	-	200	mA



说明

1. 由综合评估得出，不在生产中测试。

5.3.13 I/O 端口特性

5.3.13.1 输出特性-端口

表 5-20 端口输出特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
V_{OH}	IO 引脚输出高电平（低驱动）	$I_{IO}=4mA$, $VCC=3.3V$	$VCC-0.25$	-	V
		$I_{IO}=8mA$, $VCC=3.3V$	$VCC-0.60$	-	V
V_{OL}	IO 引脚输出低电平（低驱动）	$I_{IO}=4mA$, $VCC=3.3V$	-	$VSS+0.25$	V
		$I_{IO}=8mA$, $VCC=3.3V$	-	$VSS+0.70$	V

符号	参数	条件	最小值	最大值	单位
V_{OHD}	IO 引脚输出高电平（强驱动）	$I_{\text{IO}}=8\text{mA}$, $V_{\text{CC}}=3.3\text{V}$	$V_{\text{CC}}-0.25$	-	V
		$I_{\text{IO}}=18\text{mA}$, $V_{\text{CC}}=3.3\text{V}$	$V_{\text{CC}}-0.60$	-	V
V_{OLD}	IO 引脚输出低电平（强驱动）	$I_{\text{IO}}=8\text{mA}$, $V_{\text{CC}}=3.3\text{V}$	-	$V_{\text{SS}}+0.25$	V
		$I_{\text{IO}}=18\text{mA}$, $V_{\text{CC}}=3.3\text{V}$	-	$V_{\text{SS}}+0.60$	V



说明

- 1. 由综合评估得出，不在生产中测试。
- 2. 器件的 I_{IO} 电流必须始终遵循表 5-1 所列的绝对最大额定值， I_{IO} (I/O 端口的 I_{OH} 和 I_{OL}) 的总和不得超过 I_{VCC0}

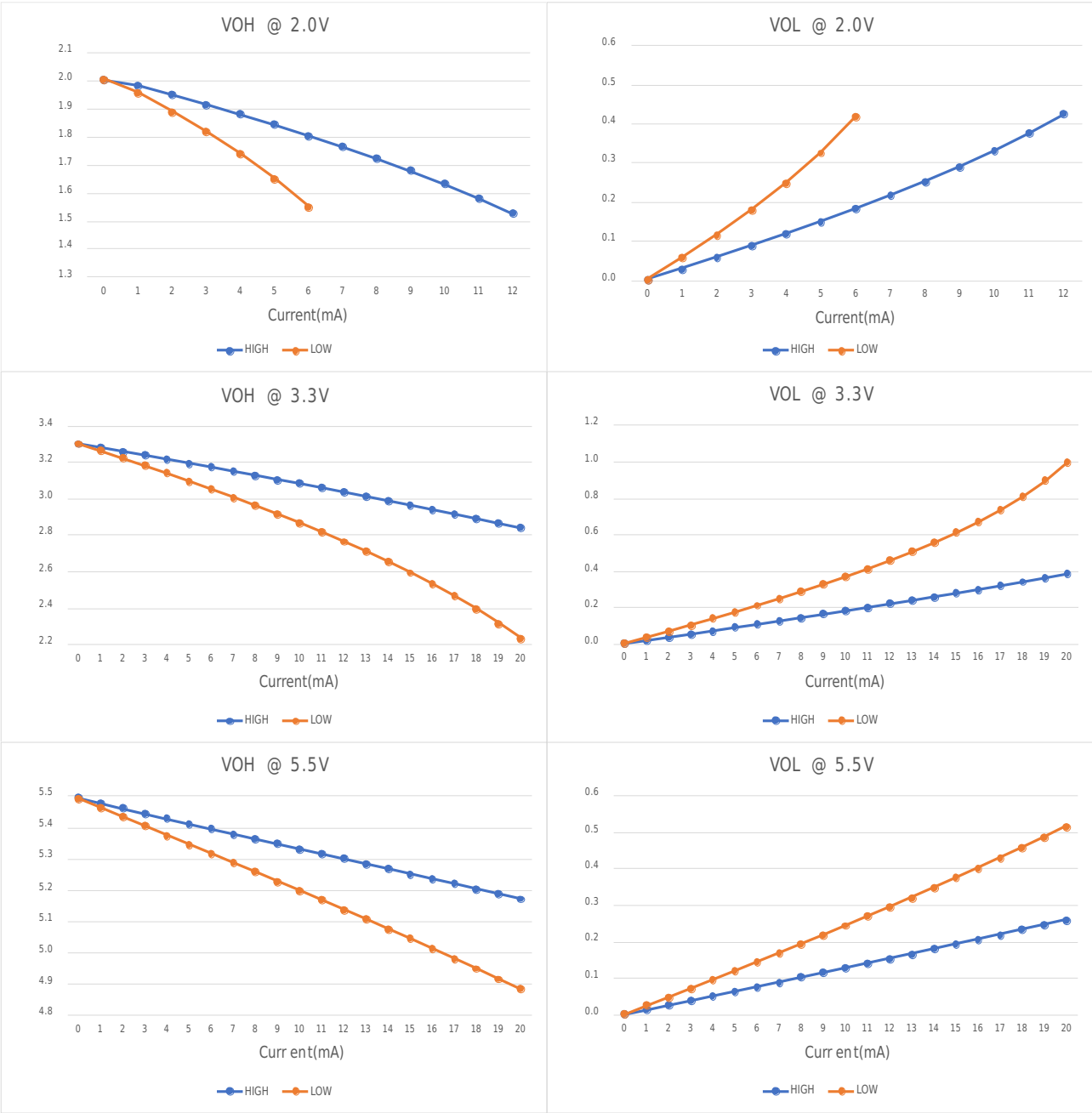


图 5-4 输出端口 VOH/VOL 实测曲线（典型值）

5.3.13.2 输入特性-端口 PA/PB/PC/PD

表 5-21 PA/PB/PC/PD 端口输入特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{IH}	IO 输入高电平电压	VCC=2.0V	0.7VCC	-	-	V
		VCC=3.3V	0.7VCC	-	-	V
		VCC=5.5V	0.7VCC	-	-	V
V_{IL}	IO 输入低电平电压	VCC=2.0V	-	-	0.3VCC	V
		VCC=3.3V	-	-	0.3VCC	V
		VCC=5.5V	-	-	0.3VCC	V
V_{hys}	输入迟滞 ($V_{IH}-V_{IL}$)	VCC=2.0V	-	0.14	-	V
		VCC=3.3V	-	0.22	-	V
		VCC=5.5V	-	0.34	-	V
$R_{pullhigh}$	IO 弱上拉等效电阻	Pullup enabled VCC=3.3V	-	55	-	kΩ
$R_{pulllow}$	IO 弱下拉等效电阻	Pulldown enabled VCC=3.3V	-	55	-	kΩ
C_{input}	IO 引脚电容	-	-	5	10	pF



说明

1. 由综合评估得出，不在生产中测试。

5.3.13.3 端口外部输入采样要求-Timer Gate/Timer Clock

表 5-22 Timer Gate/Timer Clock 外部输入采样要求⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{(cap)}$	Timer capture timing	Timer capture pulse width	-	0.5	-	μs
$t_{(clk)}$	Timer clock frequency applied to pin	Timer external clock input $f_{HCLK}=4MHz$	-	-	PCLK/2	MHz



说明

1. 由综合评估得出，不在生产中测试。

5.3.13.4 端口漏电特性-端口 PA/PB/PC/PD

表 5-23 PA/PB/PC/PD 端口漏电特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$I_{kg}(Px.y)$	Leakage current	$V_{(Px.y)}^{(2)(3)}$	-	±50	-	nA



说明

1. 由综合评估得出，不在生产中测试。
2. 端口漏电基于相应端口连接到 VSS 或 VCC。
3. 端口必须设置为输入端口。

5.3.14 RESETB 引脚特性

RESETB 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻。

表 5-24 RESETB 引脚特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL}(\text{RESETB})$	输入低电平电压	-	-0.3	-	0.3VCC	V
$V_{IH}(\text{RESETB})$	输入高电平电压	-	0.7VCC	-	VCC+0.3	V
$V_{hys}(\text{RESETB})$	施密特触发器电压迟滞	-	-	200	-	mV
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	-	55	-	kΩ
$T_F(\text{RESETB})$	输入滤波脉冲	-	-	-	2	μs
$T_{NF}(\text{RESETB})$	输入非滤波脉冲	-	10	-	-	μs



说明

1. 由设计保证，不在生产中测试。

5.3.15 ADC 特性

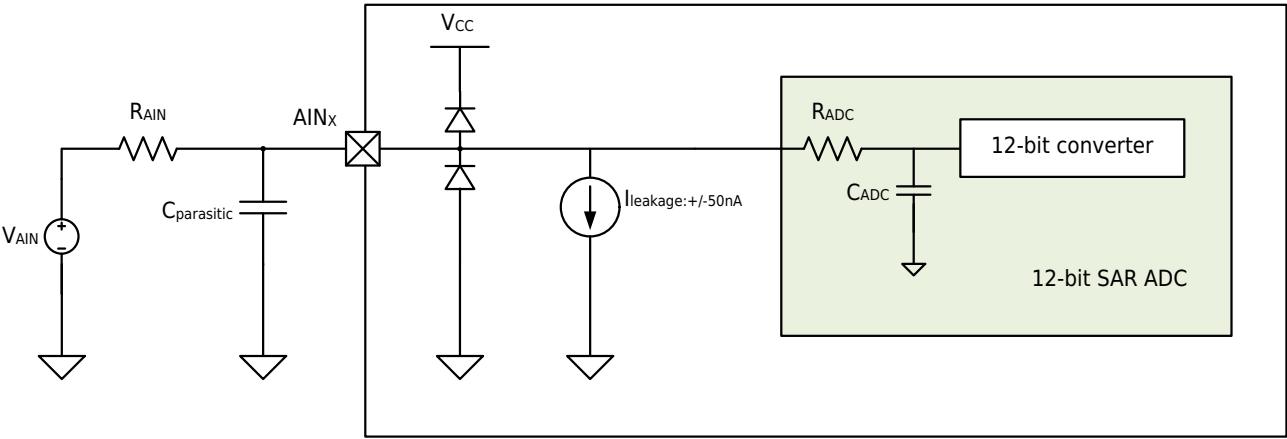
表 5-25 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{ADCIN}	Input voltage range	-	0	-	V_{REF+}	V
$V_{REF+}^{(1)}$	Positive reference voltage	-	1.5	-	AVCC	V
V_{REF-}	Negative reference voltage	-	-	AVSS	-	V
$DEV_{AVCC/3}$	Accuracy of AVCC/3		-	±3	-	%
$V_{INBUF}^{(1)}$	Input voltage range of the input buffer within which the accuracy is guaranteed	$(AVCC-0.1V) < V_{REF+}$	0.1	-	AVCC-0.1	V
		$(AVCC-0.1V) \geq V_{REF+}$	0.1	-	V_{REF+}	

符号	参数	条件	最小值	典型值	最大值	单位
I_{ADC1}	Active current including reference generator and buffer	200ksps	-	2.0	-	mA
I_{ADC2}	Active current including reference generator and buffer	1Msps	-	1.0	-	
$C_{ADCIN}^{(1)}$	ADC input capacitance	-	-	19	-	pF
$R_{ADC}^{(1)}$	ADC sampling switch impedance	-	-	1.2	-	kΩ
$R_{AIN}^{(1)(2)}$	ADC external input resistor	-	-	-	100	kΩ
f_{ADCCLK}	ADC clock Frequency	-	-	-	16	MHz
$T_{ADCSTART}^{(1)}$	Startup time of reference generator and ADC core	-	-	20	-	μs
T_s	Sampling time	-	4	-	10	1/ f_{ADCCLK}
$T_{ADCCONV}$	Total conversion time (including sampling time)	-	-	T_s+12	-	
$ENOB^{(1)}$	Effective Bits	1Msps@VCC≥2.7V 500ksps@VCC≥2.4V 200ksps@VCC≥2.0V REF=EXVREF	-	10.7	-	bits
		1Msps@VCC≥2.7V 500ksps@VCC≥2.4V 200ksps@VCC≥2.0V REF=VCC	-	10.8	-	bits
		200ksps@VCC≥2.0V REF=internal 1.5V	-	10.0	-	bits
		200ksps@VCC≥2.8V REF=internal 2.5V	-	10.2	-	bits
$SNR^{(1)}$	Signal to Noise Ratio	1Msps@VCC≥2.7V 500ksps@VCC≥2.4V 200ksps@VCC≥2.0V REF=EXVREF	-	70.0	-	dB

符号	参数	条件	最小值	典型值	最大值	单位
		1Msp@VCC≥2.7V 500ksps@VCC≥2.4V 200ksps@VCC≥2.0V REF=VCC	-	70.3	-	dB
		200ksps@VCC≥2.0V REF=internal 1.5V	-	61.8	-	dB
		200ksps@VCC≥2.8V REF=internal 2.5V	-	64.5	-	dB
DNL ⁽¹⁾	Differential non-linearity	200ksps, VREF=EXVREF/AVCC	-1	-0.9/+1.2	+2.5	LSB
INL ⁽¹⁾	Integral non-linearity	200ksps, VREF=EXVREF/AVCC	-4.5	-2.1/+1.6	+3	LSB
E _o ⁽¹⁾	Offset error	VREF=EXVREF/AVCC	-	-3/+3	-	LSB
E _g ⁽¹⁾	Gain error	VREF=EXVREF/AVCC	-	-3/+3	-	LSB
E _T ⁽¹⁾	Total unadjusted error	VREF=EXVREF/AVCC	-	-5/+5	-	LSB

1. 由设计保证，不在生产中测试。
2. ADC 的典型应用如下图所示：



对于≤0.5LSB 采样误差的要求，外部输入阻抗的计算公式如下：

$$R_{AIN} \leq \frac{T_s}{C_{ADC} * (N+1) * \ln(2)} - R_{ADC} = \frac{M}{f_{ADCCLK} * C_{ADC} * (N+1) * \ln(2)} - R_{ADC}$$

其中 T_s 为采样时间， N 为 ADC 位数 12， f_{ADCCLK} 为 ADC 时钟频率， M 为采样周期个数（采样时间占 M 个 ADC 时钟周期）。

寄存器 ADC_CR0[3:1]可设定 f_{ADCCLK} 与 PCLK 频率 f_{PCLK} 的关系，如下表：

表 5-26 ADC 时钟频率 f_{ADCCLK} 和 PCLK 分频比关系

ADC_CR0[3:1]	f_{PCLK}/f_{ADCCLK}
0b000	2

ADC_CR0[3:1]	f_{PCLK}/f_{ADCCLK}
0b001	4
0b010	6
0b011	8
0b100	10
0b101	12
0b110	14
0b111	1

寄存器 ADC_CR0[13:12]可设定采样周期个数 M，如下表：

表 5-27 ADC 采样周期个数 M

ADC_CR0[13:12]	M
0b00	4
0b01	6
0b10	9
0b11	10

下表为典型工作条件下，ADC 最短采样时间 T_s 和外部电阻 R_{AIN} 的关系（采样误差 0.5LSB 的条件下）。对于其它特殊的外部输入阻抗值，亦可以通过前面给出的外部输入阻抗计算公式计算出对应的最短采样时间的要求。

表 5-28 ADC 最短采样时间 T_s 和外部电阻 R_{AIN} 的关系

$R_{AIN} (\Omega)$	最短采样时间 T_s (ns)
10	218
47	224
68	228
100	234
150	243
220	255
330	275
470	301
680	338
1000	396
1500	486

R_{AIN} (Ω)	最短采样时间 T_s (ns)
2200	612
3300	811
4700	1063
6800	1441
10000	2018
15000	2919

对于上述典型应用，应注意：

- 尽量减小 ADC 输入端口 AIN_x 的寄生电容 $C_{parasitic}$ 。
- 除了考虑 R_{AIN} 值外，如果信号源 V_{AIN} 的内阻较大时，也需要加入考虑。

5.3.16 温度传感器特性

当 ADC 的测量通道选择温度传感器的输出电压时，可以通过 ADC 的输出结果以及存储在 Flash 存储器中的校准值计算出当前芯片温度。

表 5-29 温度传感器参数

符号	参数	条件	最小值	典型值	最大值	单位
Temp	Temp Sensor working environment	-	-40	-	105	°C
Offset	Calculated Temp offset	-	-	±5	-	°C

5.3.17 VC 特性

表 5-30 VC 特性

符号	参数	条件		最小值	典型值	最大值	单位
V_{in}	Input voltage range	-		0	-	5.5	V
V_{incom}	Input common mode range	-		0.2	-	VCC-0.2	V
V_{offset}	Input offset	常温 25°C, 3.3V	VCx_CR0.B IAS=0b00	-	±20	-	mV
			VCx_CR0.B IAS=0b01	-	±20	-	
			VCx_CR0.B IAS=0b10	-	±15	-	
			VCx_CR0.B IAS=0b11	-	±10	-	

符号	参数	条件	最小值	典型值	最大值	单位
I_{comp}	Comparator's current	VCx_CR0.BIAS=0b00 VCx_CR0.BIAS=0b01 VCx_CR0.BIAS=0b10 VCx_CR0.BIAS=0b11	-	1 4 18 36	-	μA
$T_{response}$	Comparator's response time when one input cross another	VCx_CR0.BIAS=0b00 VCx_CR0.BIAS=0b01 VCx_CR0.BIAS=0b10 VCx_CR0.BIAS=0b11	-	20 5 1 0.2	-	μs
T_{setup}	Comparator's setup time when ENABLE. Input signals unchanged.	-	-	1	-	μs
$V_{hysteresis}$	Comparator's hysteresis voltage	VCx_CR0.HYS=0b00 VCx_CR0.HYS=0b01 VCx_CR0.HYS=0b10 VCx_CR0.HYS=0b11	-	0 10 20 30	-	mV
R_{in}	Equivalent input resistance of signal at positive input	-	-	-	350	Ω
V_{off_DAC}	Comparator's inner DAC's offset	VCx_CR1.NSEL=0b101 1	-	± 40	-	mV
T_{warmup}	From main bandgap enable to 1.2V BGR reference, Temp sensor voltage, ADC internal 1.5V/2.5V reference stable	-	-	60	-	μs
T_{filter}	Digital filter time (当滤波时钟为 RC150K 时)	VCx_CR1.FLTTIME=0b000	-	7	-	μs
		VCx_CR1.FLTTIME=0b001	-	14	-	μs
		VCx_CR1.FLTTIME=0b010	-	28	-	μs
		VCx_CR1.FLTTIME=0b011	-	112	-	μs
		VCx_CR1.FLTTIME=0b100	-	450	-	μs

符号	参数	条件	最小值	典型值	最大值	单位
T_{filter}	Digital filter time (当滤波时钟为 RC150K 时)	VCx_CR1.FLTTIME=0b101	-	1800	-	μs
		VCx_CR1.FLTTIME=0b110	-	7200	-	μs
		VCx_CR1.FLTTIME=0b111	-	28800	-	μs

5.3.18 OPA 特性

表 5-31 OPA 特性⁽³⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{in}	输入电压	-	0.2	-	AVCC-0.2	V
$V_{\text{o}}^{(1)}$	输出电压	-	0.2	-	AVCC-0.2	V
$I_{\text{o}}^{(1)}$	输出电流	-	-	-	0.3	mA
$R_{\text{L}}^{(1)}$	负载电阻	-	5	-	-	k Ω
$T_{\text{start}}^{(1)(2)}$	初始化时间	-	-	3	-	μs
V_{os}	输入失调电压	$V_{\text{in}}=\text{AVCC}/2$, $V_{\text{o}}=\text{AVCC}/2$, $R_{\text{L}}=5\text{k}\Omega$, $R_{\text{s}}=50\Omega$, AutoZero function off	-	± 3.5	-	mV
		$V_{\text{in}}=\text{AVCC}/2$, $V_{\text{o}}=\text{AVCC}/2$, $R_{\text{L}}=5\text{k}\Omega$, $R_{\text{s}}=50\Omega$, AutoZero function on, after calibration	-	± 1.5	-	mV
$\text{UGBW}^{(1)}$	单位增益带宽	$R_{\text{L}}=5\text{k}\Omega$	-	10	-	MHz
$\text{SR}^{(1)}$	压摆率	$R_{\text{L}}=5\text{k}\Omega$	-	5.5	-	V/ μs



说明

- 1. 由设计保证，不在生产中测试。
- 2. 需要同时设置 ADC_BGR[0]=0b1。
- 3. AVCC=2.0V~5.5V，AVSS=0V， $T_{\text{A}}=-40^{\circ}\text{C}\sim 105^{\circ}\text{C}$ 。

5.3.19 TIM 定时器特性

有关输入输出复用功能引脚（输出比较、输入捕获、外部时钟、PWM 输出）的特性详情，参见下表。

表 5-32 高级定时器（ATIM）特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_{res}	定时器分辨时间	-	1	-	t_{TIMCLK}
		$f_{\text{TIMCLK}}=64\text{MHz}$	15.6	-	ns

符号	参数	条件	最小值	最大值	单位
f_{ext}	外部时钟频率	$f_{TIMCLK}=64MHz$	0	32	MHz
Res_{Tim}	定时器分辨率	模式 0 自由计数	-	32	位
		-	-	16	位
$T_{counter}$	选择内部时钟时，16 位计数器	-	1	65536	t_{TIMCLK}
	选择内部时钟时，32 位计数器	-	1	4294967296	t_{TIMCLK}

说明

1. 由设计保证，不在生产中测试。

表 5-33 复合定时器（CTIM）特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_{res}	定时器分辨时间	-	1	-	t_{TIMCLK}
		$f_{TIMCLK}=64MHz$	15.6	-	ns
f_{ext}	外部时钟频率	$f_{TIMCLK}=64MHz$	0	32	MHz
Res_{Tim}	定时器分辨率	-	-	16	位
$T_{counter}$	选择内部时钟时，16 位计数器	-	1	65536	t_{TIMCLK}

说明

1. 由设计保证，不在生产中测试。

表 5-34 低功耗定时器特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_{res}	定时器分辨时间	-	1	-	t_{TIMCLK}
		$f_{TIMCLK}=64MHz$	15.6	-	ns
f_{ext}	外部时钟频率	$f_{TIMCLK}=64MHz$	0	32	MHz
Res_{Tim}	定时器分辨率	-	-	16	位
$T_{counter}$	选择内部时钟时，16 位计数器	-	1	65536	t_{TIMCLK}

说明

1. 由设计保证，不在生产中测试。

表 5-35 IWDWT 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_{res}	IWDWT 溢出时间	$f_{WDCLK}=32kHz$	0.125	65000	ms



说明

1. 由设计保证，不在生产中测试。

5.3.20 通信接口

5.3.20.1 I2C 特性

I2C 接口特性如下表：

表 5-36 I2C 接口特性⁽¹⁾

符号	参数	标准模式（100k）		快速模式（400k）		高速模式（1M）		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_{SCLL}	SCL 时钟低时间	4.7	-	1.25	-	0.5	-	μs
t_{SCLH}	SCL 时钟高时间	4.0	-	0.6	-	0.26	-	μs
$t_{SU.SDA}$	SDA 建立时间	250	-	100	-	50	-	ns
$t_{HD.SDA}$	SDA 保持时间	0	-	0	-	0	-	μs
$t_{HD.STA}$	开始条件保持时间	2.5	-	0.625	-	0.25	-	μs
$t_{SU.STA}$	重复的开始条件建立时间	2.5	-	0.6	-	0.25	-	μs
$t_{SU.STO}$	停止条件建立时间	0.25	-	0.25	-	0.25	-	μs
t_{BUF}	总线空闲（停止条件至开始条件）	4.7	-	1.3	-	0.5	-	μs



说明

1. 由设计保证，不在生产中测试。

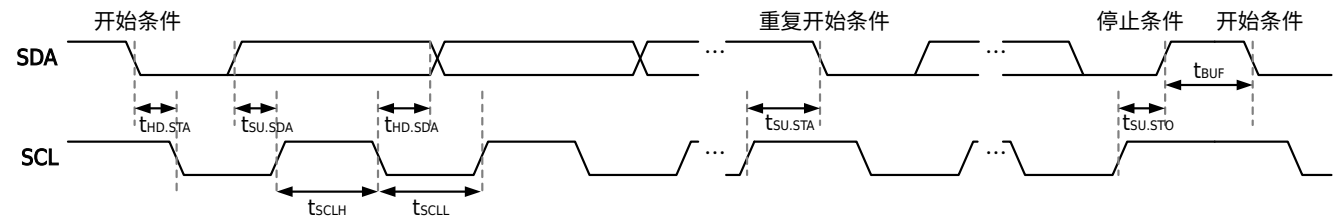


图 5-6 I2C 接口时序

5.3.20.2 SPI 特性

表 5-37 SPI 接口特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	最大值	单位
$t_{c(SCK)}$	串行时钟的周期 ⁽³⁾	主机发送模式 $f_{PCLK}=60MHz$	33.3	-	ns
		主机接收模式 (关闭主机延时 采样) $f_{PCLK}=60MHz$	133	-	ns
		主机接收模式 (开启主机延时 采样) $f_{PCLK}=60MHz$	66.6	-	ns
		从机发送模式 (关闭主机延时 采样) $f_{PCLK}=60MHz$	133	-	ns
		从机发送模式 (开启主机延时 采样) $f_{PCLK}=60MHz$	66.6	-	ns
		从机接收模式 $f_{PCLK}=60MHz$	66.6	-	ns
$t_{w(SCKH)}$	串行时钟的高电平时间	主机模式	$0.45 \times t_{c(SCK)}$	-	ns
		从机模式	$0.45 \times t_{c(SCK)}$	-	ns
$t_{w(SCKL)}$	串行时钟的低电平时间	主机模式	$0.45 \times t_{c(SCK)}$	-	ns
		从机模式	$0.45 \times t_{c(SCK)}$	-	ns
$t_{su(SSN)}$	从机选择的建立时间	从机模式	$0.45 \times t_{c(SCK)}$	-	ns
$t_h(SSN)$	从机选择的保持时间	从机模式	$0.45 \times t_{c(SCK)}$	-	ns
$t_v(MO)$	主机数据输出的生效时间	-	-	3	ns
$t_h(MO)$	主机数据输出的保持时间	-	0	-	ns
$t_v(SO)$	从机数据输出的生效时间	-	-	$20 + 1.5 \times T_{PCLK}$	ns
$t_h(SO)$	从机数据输出的保持时间	-	$14 + 0.5 \times T_{PCLK}$	-	ns
$t_{su(MI)}$	主机数据输入的建立时间	-	20	-	ns
$t_h(MI)$	主机数据输入的保持时间	-	2	-	ns

符号	参数	条件	最小值	最大值	单位
$t_{su(SI)}$	从机数据输入的建立时间	-	0	-	ns
$t_{h(SI)}$	从机数据输入的保持时间	-	$2+1.5\times T_{PCLK}$	-	ns

 **说明**

1. 由设计保证，不在生产中测试。

2. 数据基于 $V_{CC}=3.0V$ 条件给出。

3. 主机模式最大分频系数为 $PCLK/2$ ，从机模式最大分频系数为 $PCLK/4$ 。

SPI 接口信号的波形和时序参数如下：

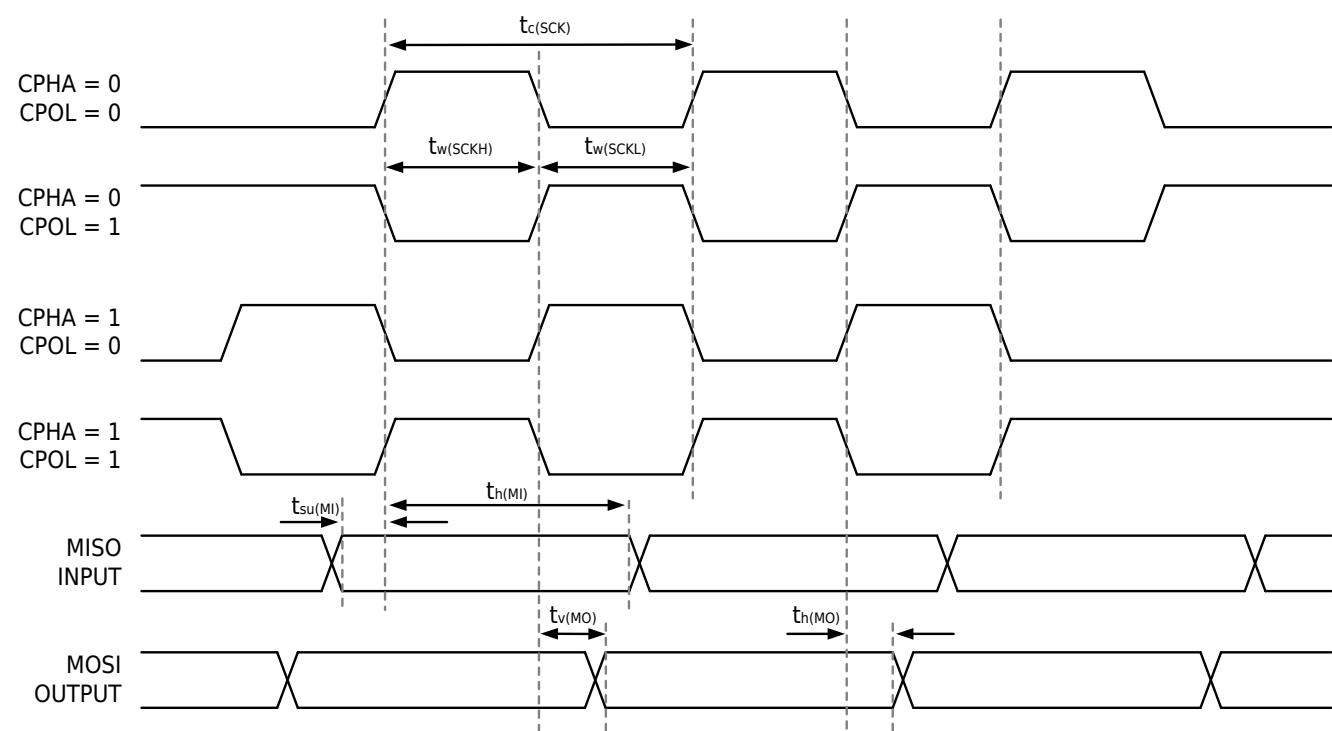


图 5-7 SPI 时序图（主机模式）

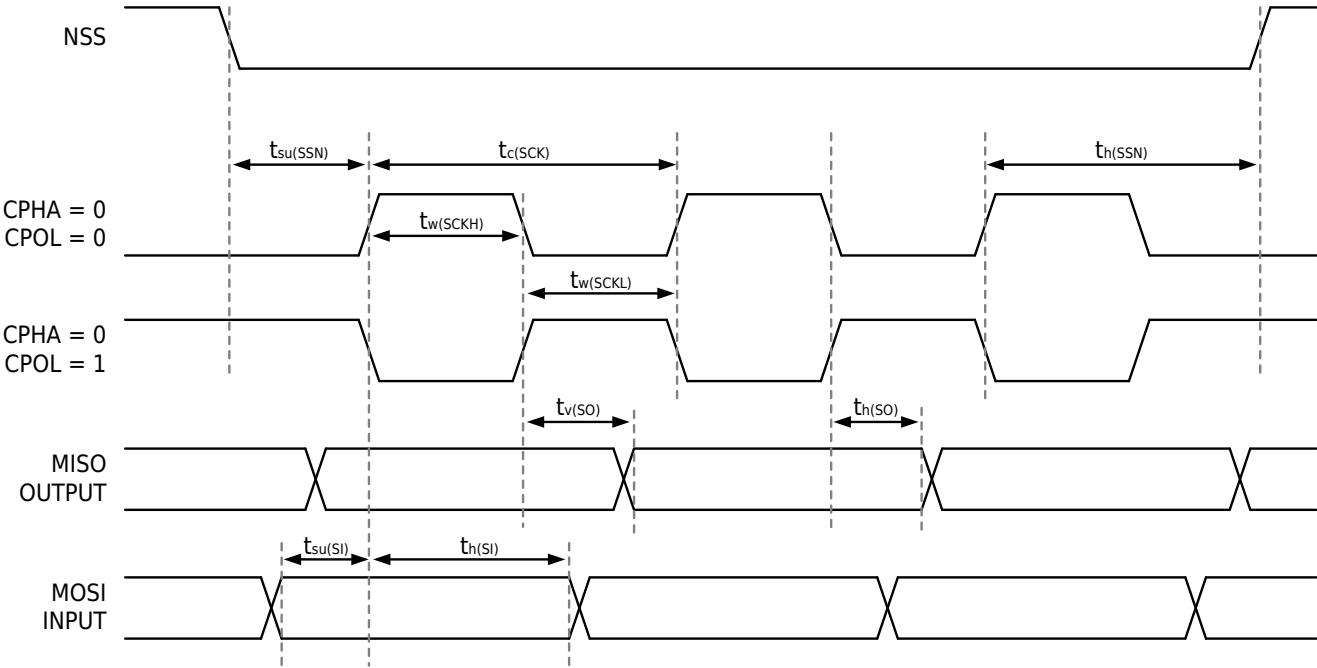


图 5-8 SPI 时序图 (从机模式 CPHA=0)

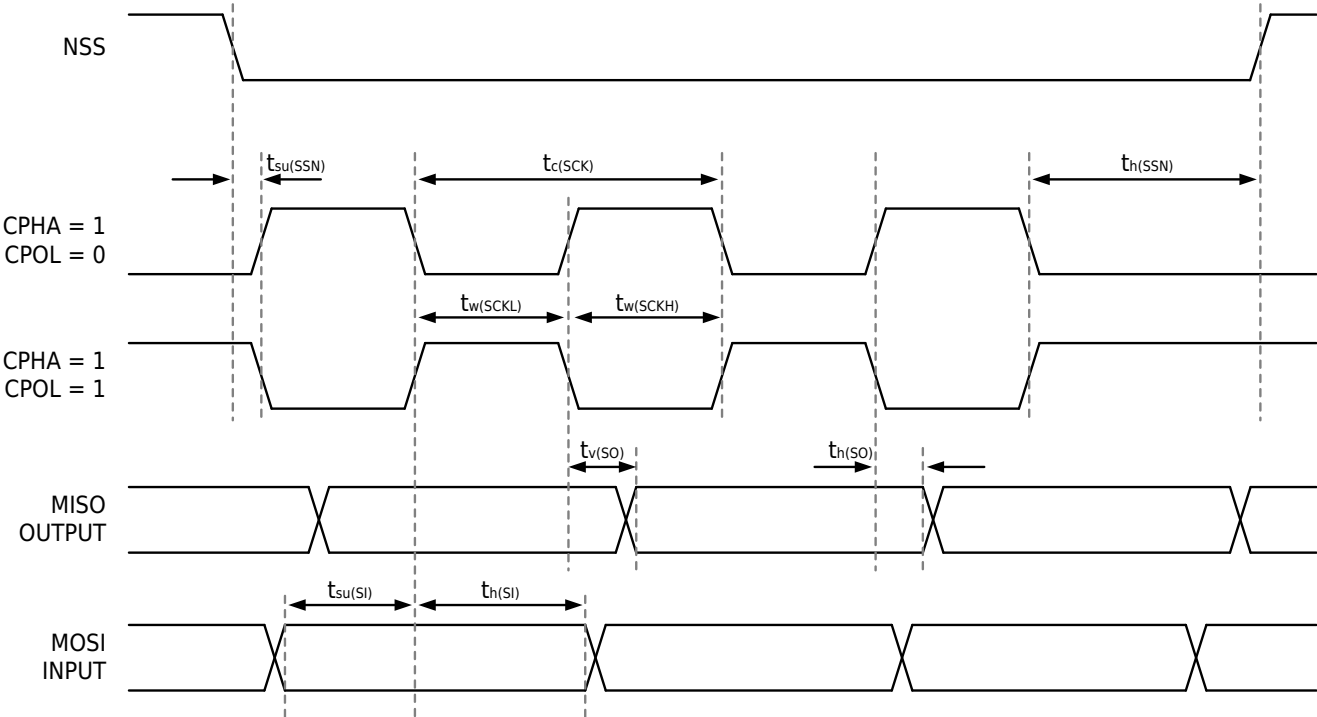
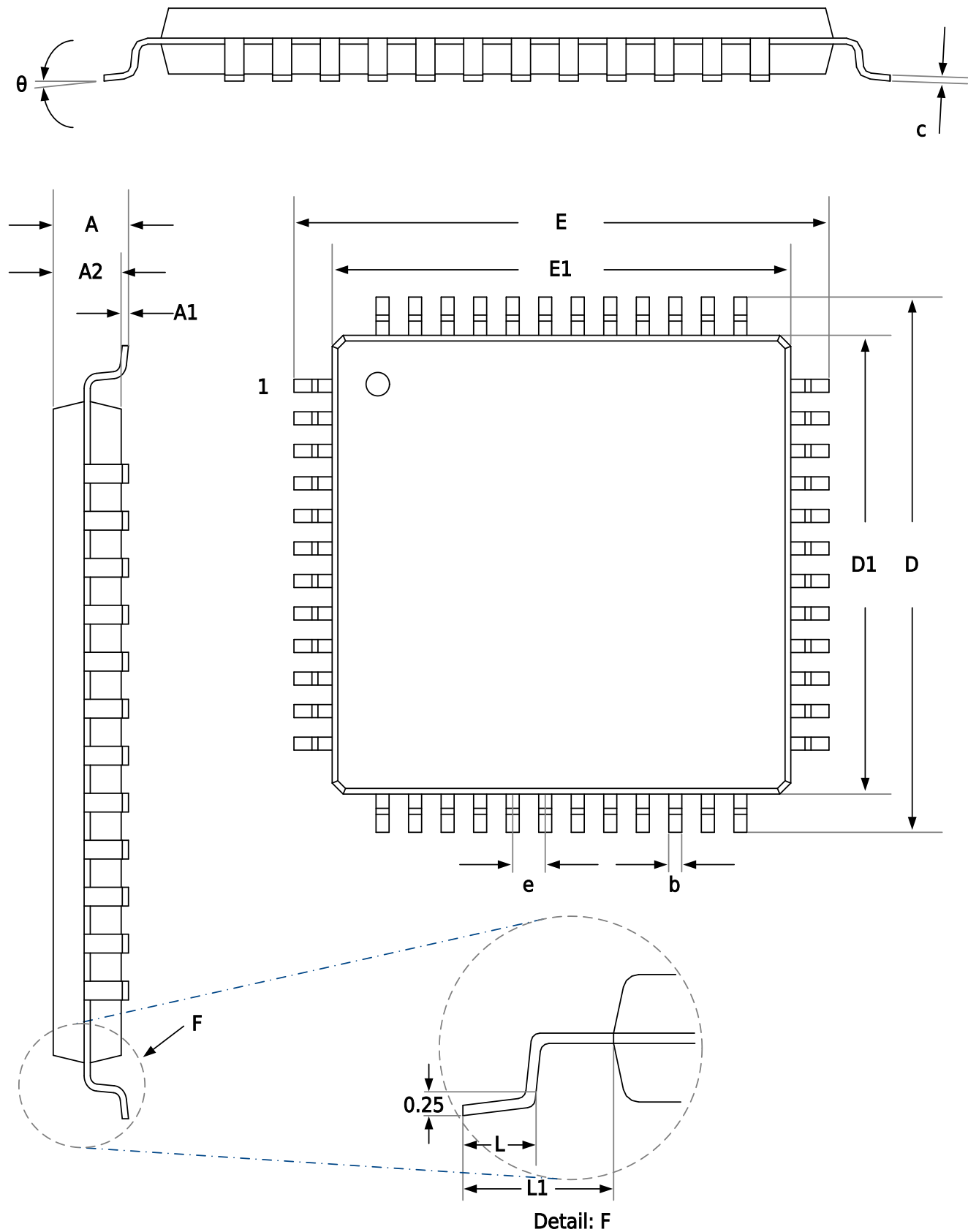


图 5-9 SPI 时序图 (从机模式 CPHA=1)

6 封装信息

6.1 封装尺寸

6.1.1 LQFP48 封装



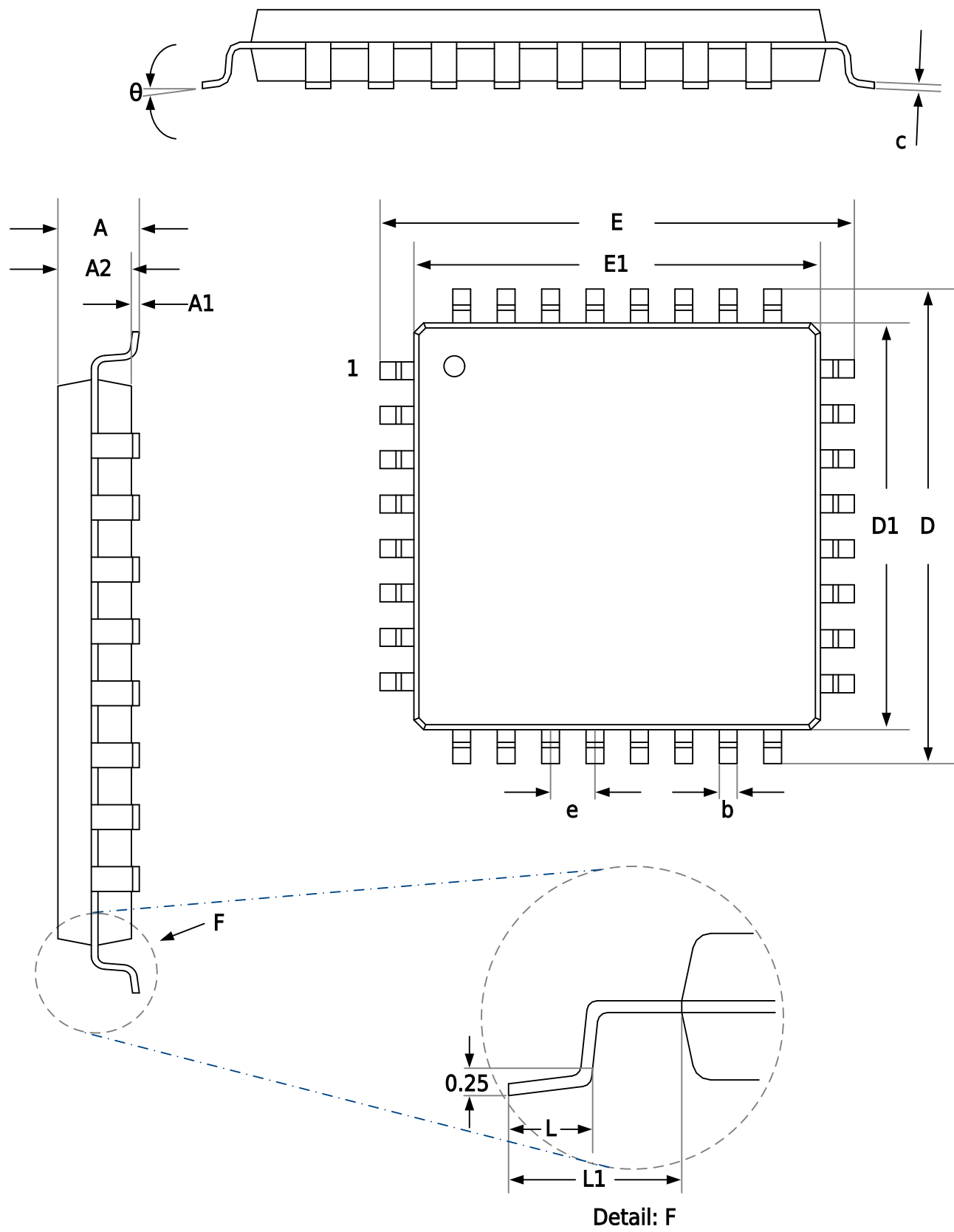
Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	--	0.20
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0	--	7°



说明

D1 和 E1 尺寸不包含模具注塑产生的溢料。

6.1.2 LQFP32 封装



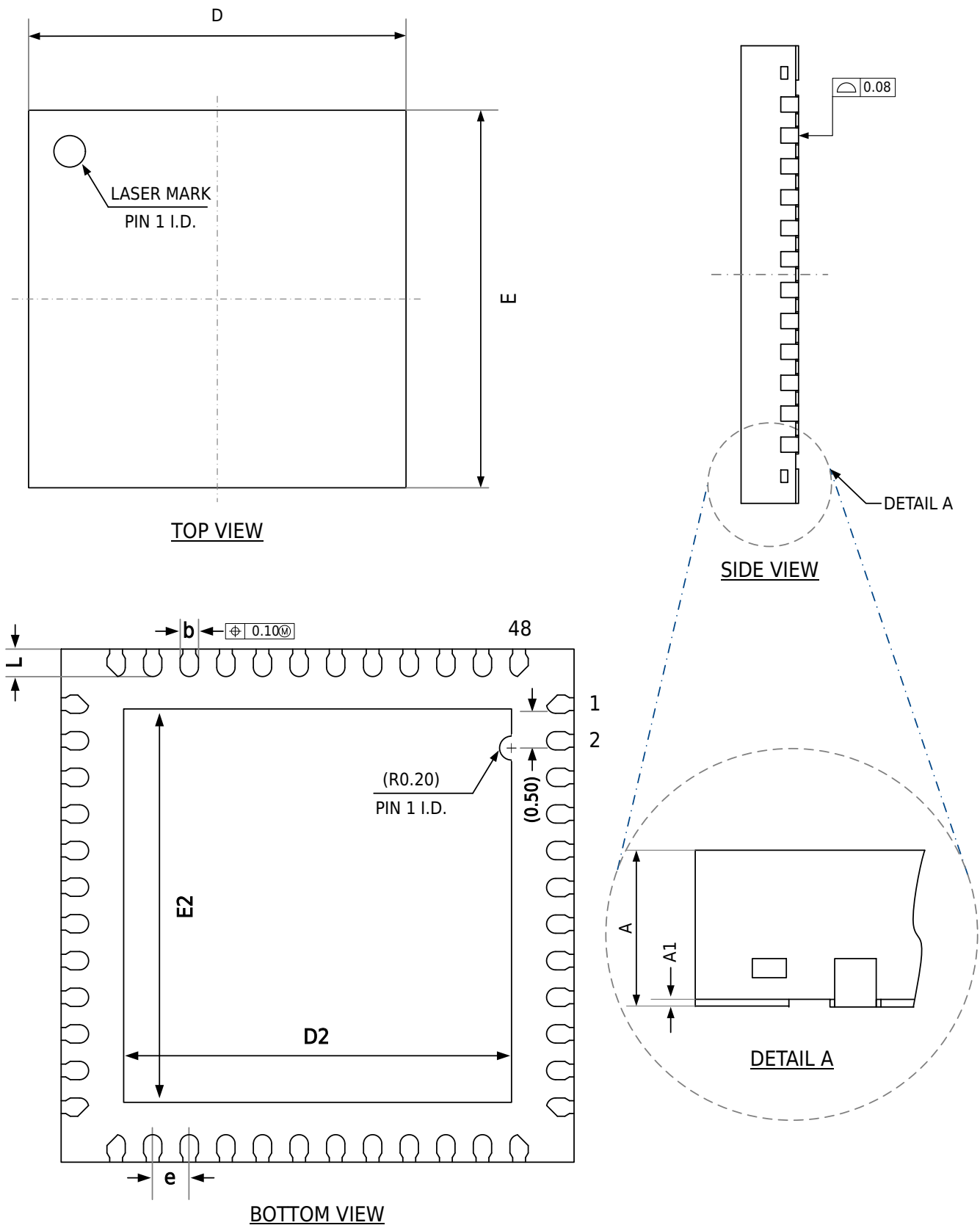
Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.30	--	0.45
c	0.09	--	0.20
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.80BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0	--	7°



说明

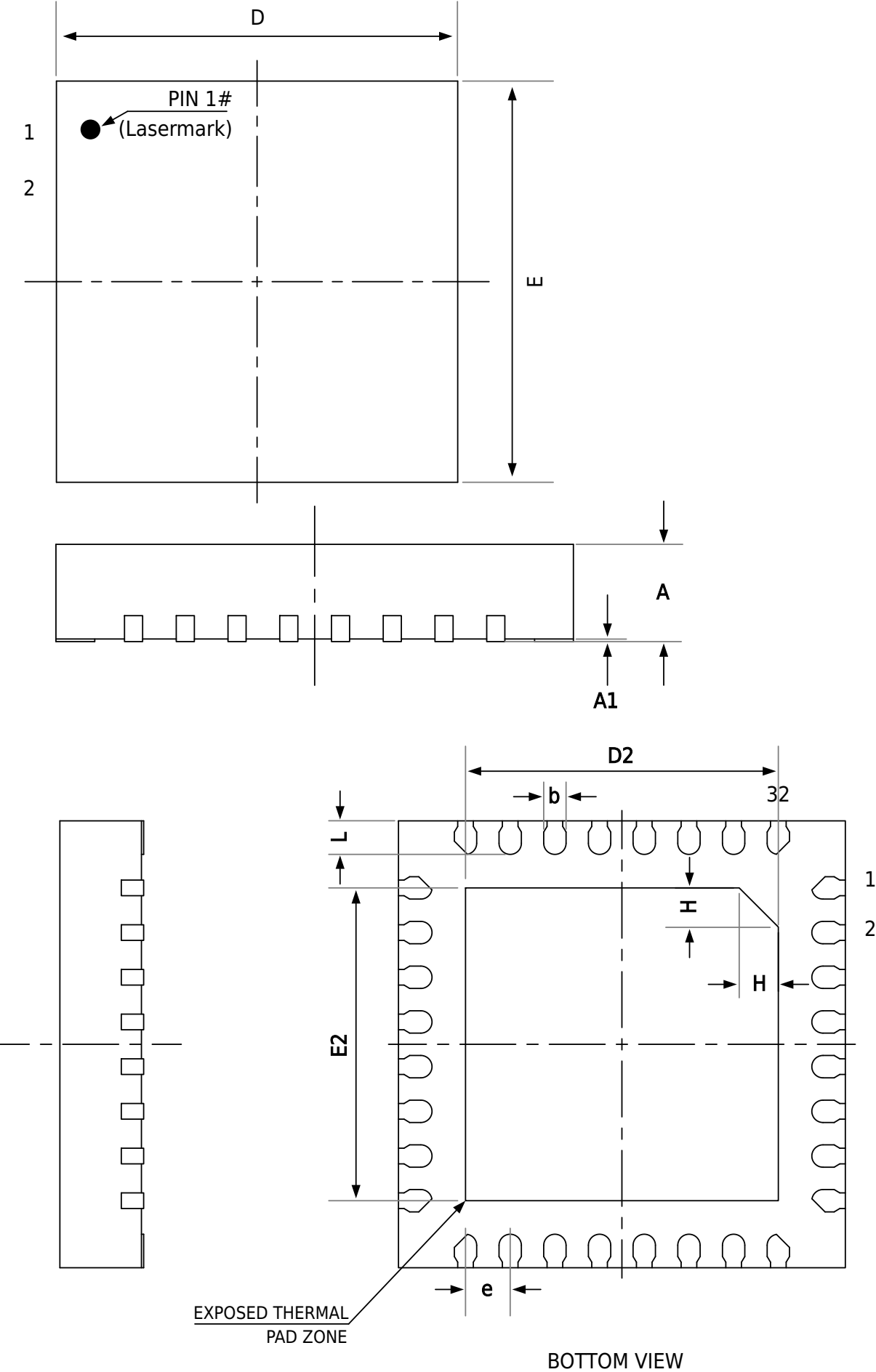
D1 和 E1 尺寸不包含模具注塑产生的溢料。

6.1.3 QFN48 封装



Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.18	0.25	0.30
D	6.90	7.00	7.10
D2	5.20	5.30	5.40
E	6.90	7.00	7.10
E2	5.20	5.30	5.40
e	0.40	0.50	0.60
L	0.30	0.40	0.50

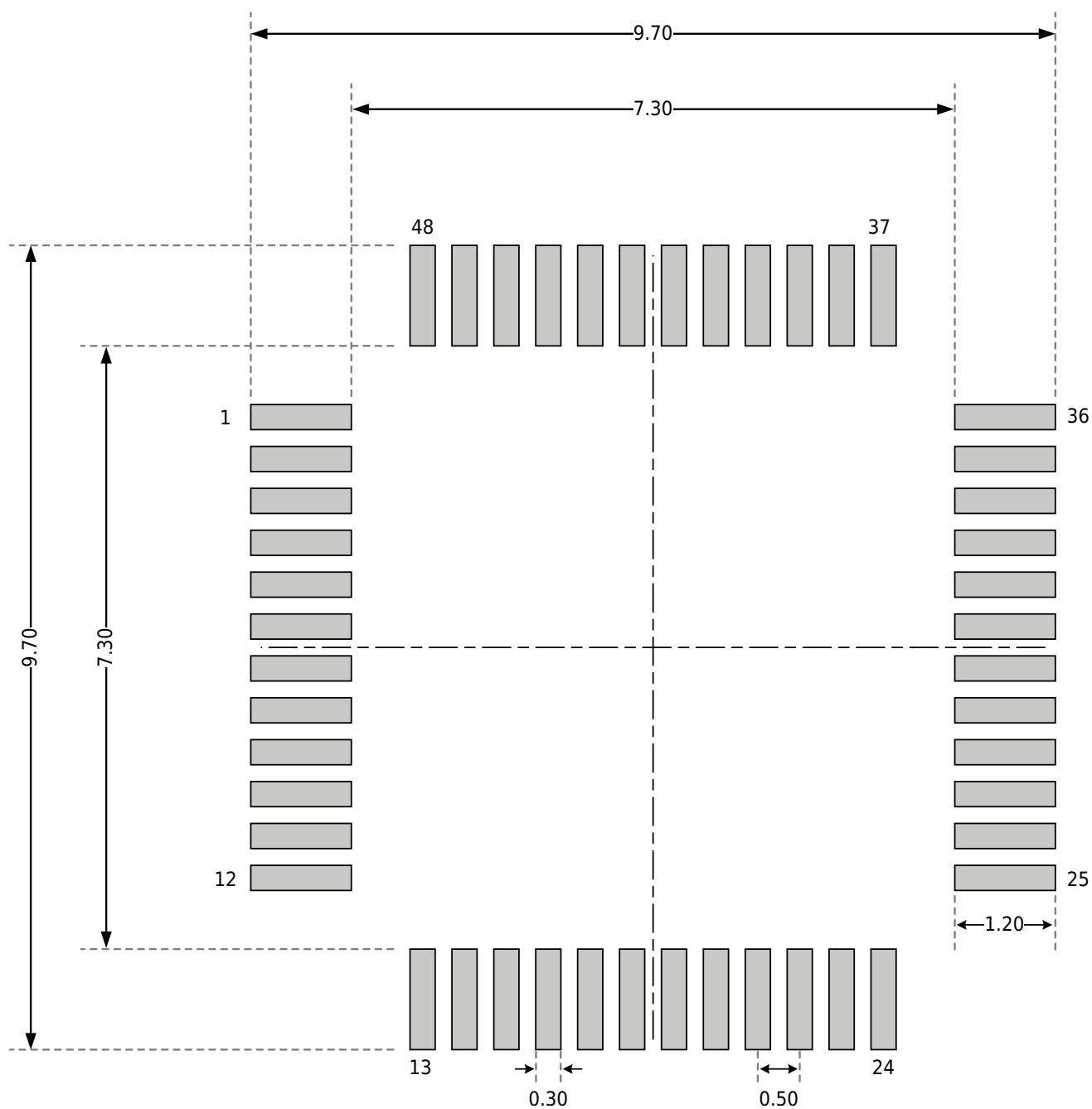
6.1.4 QFN32 封装



Symbol	4 x 4 Millimeter		
	Min	Nom	Max
A	0.70	0.75	0.80
A1	0.00	0.02	0.05
b	0.15	0.20	0.25
D	3.90	4.00	4.10
D2	2.60	2.70	2.80
e	0.40BSC		
E	3.90	4.00	4.10
E2	2.60	2.70	2.80
L	0.30	0.40	0.50
H	0.30REF		

6.2 焊盘示意图

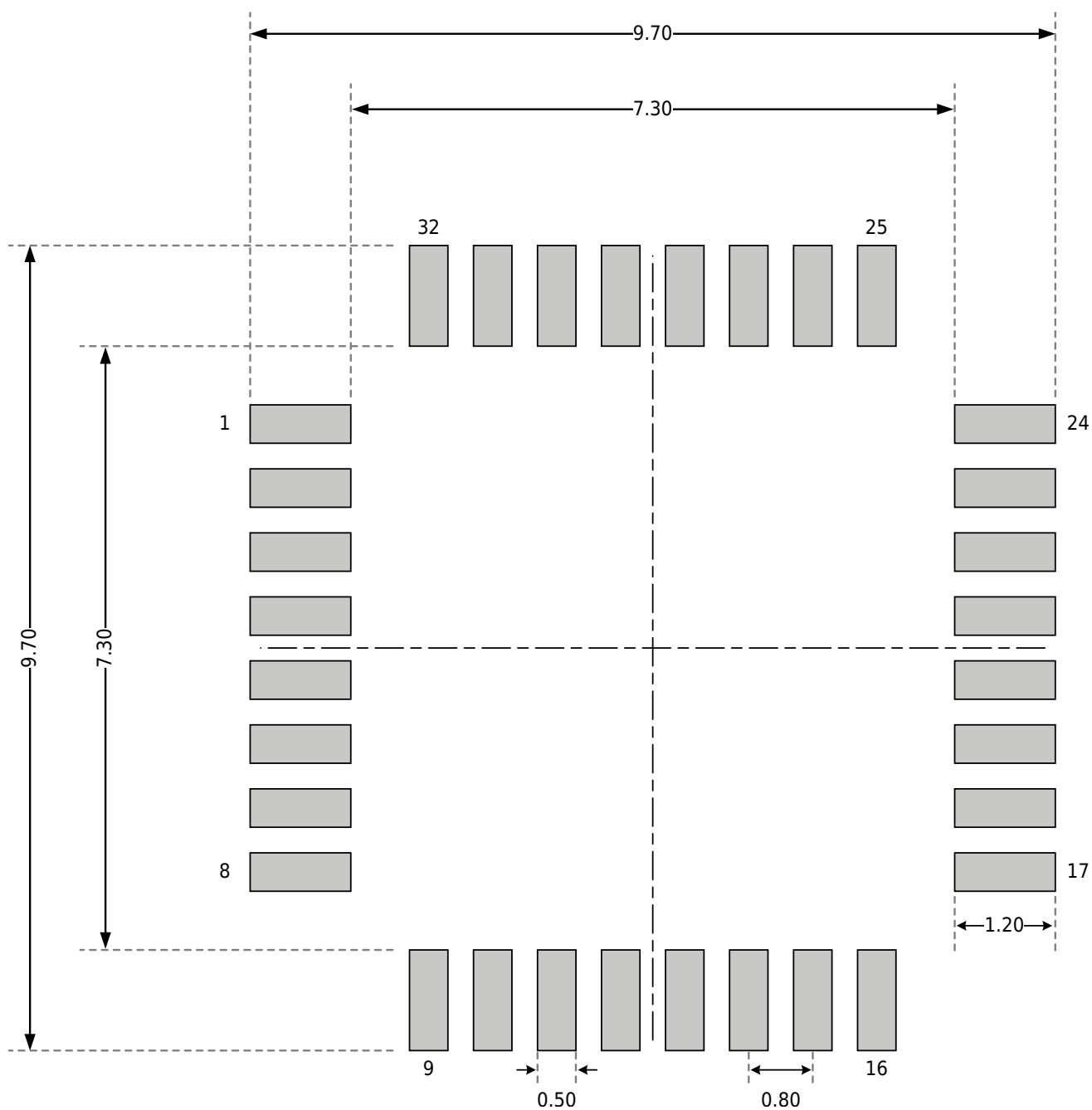
6.2.1 LQFP48 封装 (7mm x 7mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

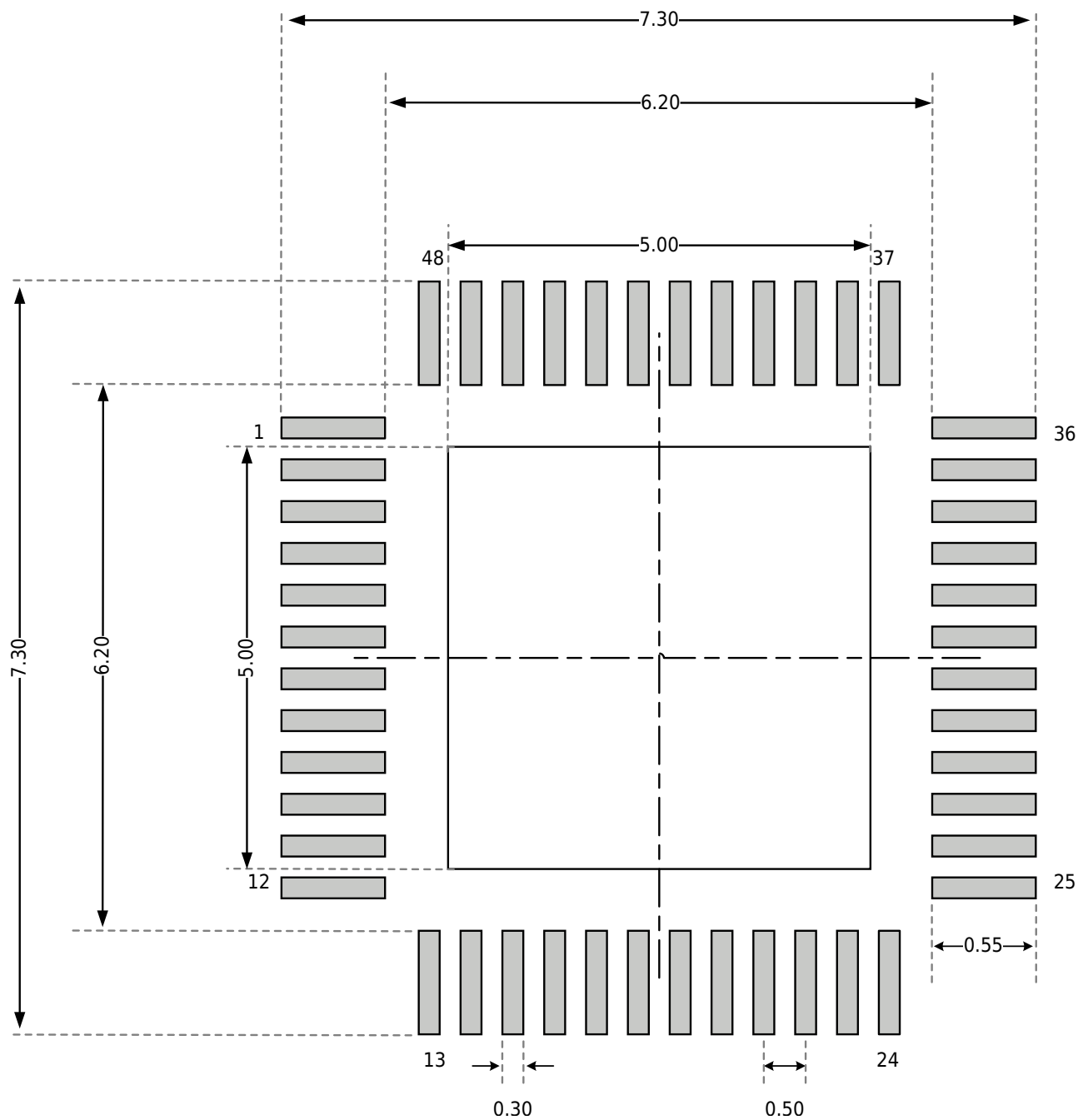
6.2.2 LQFP32 封装 (7mm x 7mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

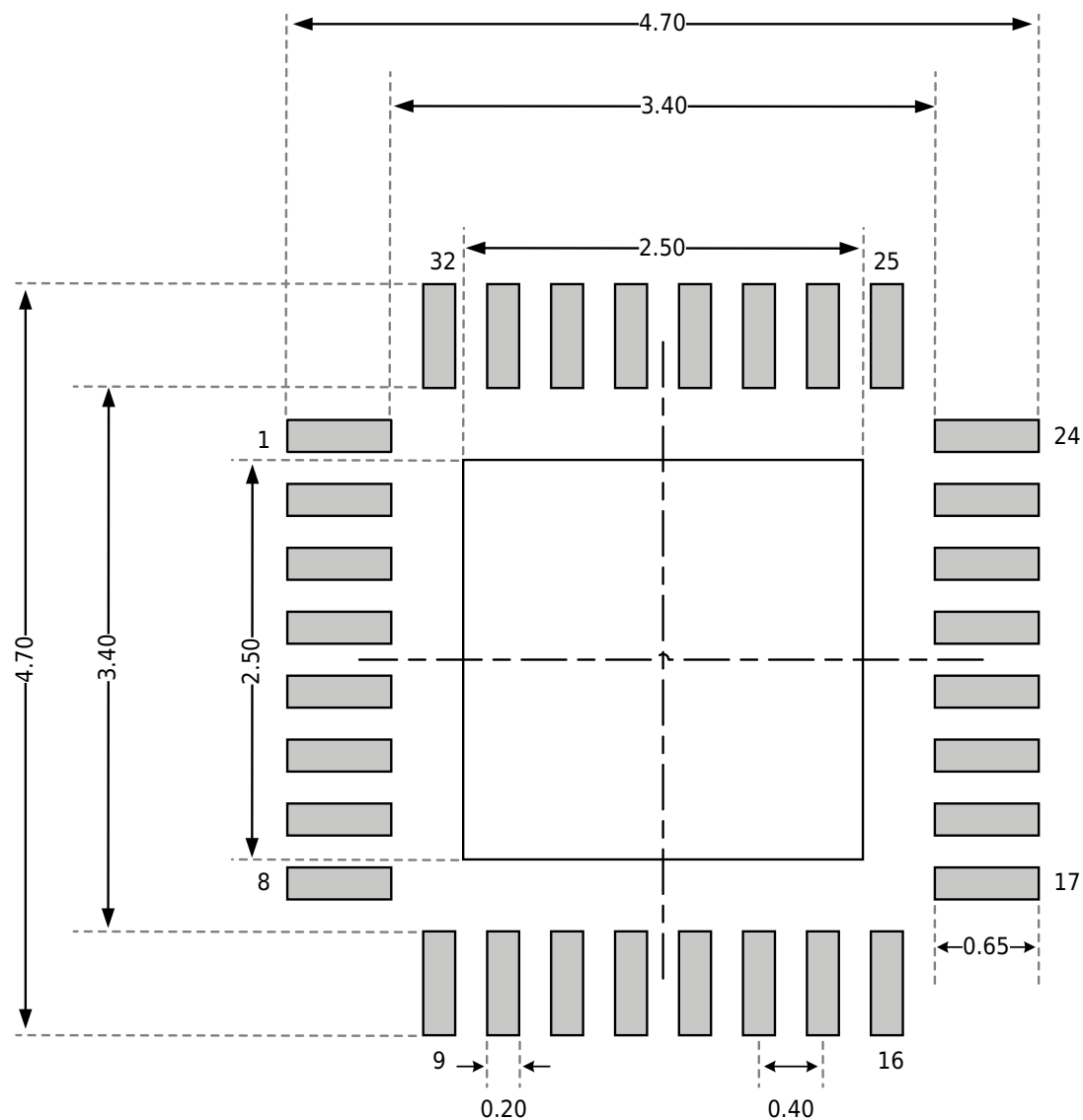
6.2.3 QFN48 封装 (7mm x 7mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

6.2.4 QFN32 封装 (4mm x 4mm)



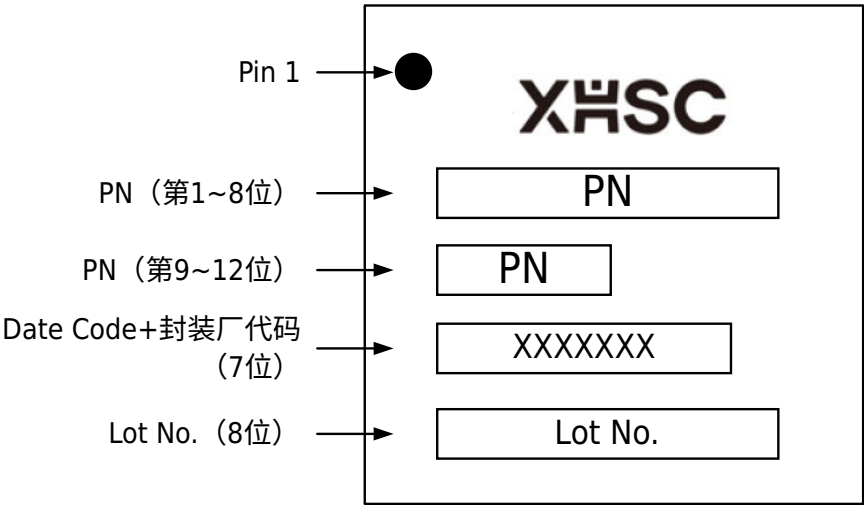
说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

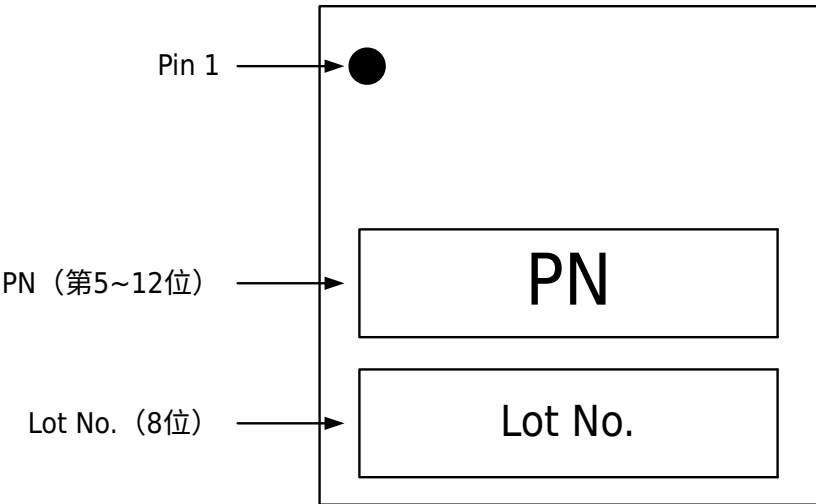
6.3 丝印说明

以下给出各封装正面丝印的 Pin1 位置和信息说明。

LQFP48 封装（7mm x 7mm）/LQFP32 封装（7mm x 7mm）/QFN48 封装（7mm x 7mm）



QFN32 封装（4mm x 4mm）



说明

上图空白框表示与生产相关的可选标记，本节不作说明。

6.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j (°C) 可以按照下面的公式计算：

$$T_j = T_A + (P_D \times \theta_{JA})$$

- T_A 是指封装芯片工作时的环境温度，单位是°C；
- θ_{JA} 是指封装对工作环境的热阻系数，单位是°C/W；
- P_D 等于芯片的内部功耗 (P_{INT}) 和芯片工作时 I/O 引脚产生的功耗 (P_{IO}) 之和，单位是 W。

$$P_D = P_{INT} + P_{IO}$$

► P_{INT} 是芯片的内部功耗，产品的 I_{VCC} 与 VCC 的乘积。

► P_{IO} 是芯片所有输出 IO 的功耗，计算公式为： $P_{IO} = \Sigma(V_{OL} * I_{OL}) + \Sigma((VCC - V_{OH}) * I_{OH})$

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温度 T_{Jmax} 。

表 6-5 各封装热阻系数参考表

封装类型及尺寸	热阻系数 (θ_{JA})	单位
LQFP48 7mm x 7mm/0.5mm pitch	75 ± 10%	°C/W
LQFP32 7mm x 7mm/0.8mm pitch	80 ± 10%	°C/W
QFN48 7mm x 7mm/0.5mm pitch	30 ± 10%	°C/W
QFN32 4mm x 4mm/0.4mm pitch	53 ± 10%	°C/W

7 订购信息

商业代码	HC32F052JATB-LQ48	HC32F052JAUB-QFN48TR	HC32F052FATB-LQ32	HC32F052FAUB-QFN32TR	HC32F052J8TB-LQ48	HC32F052J8UB-QFN48TR	HC32F052F8TB-LQ32	HC32F052F8UB-QFN32TR
GPIO	40	40	26	26	40	40	26	26
内核	Cortex-M0+	Cortex-M0+	Cortex-M0+	Cortex-M0+	Cortex-M0+	Cortex-M0+	Cortex-M0+	Cortex-M0+
主频	64MHz	64MHz	64MHz	64MHz	64MHz	64MHz	64MHz	64MHz
Code Flash	128KB	128KB	128KB	128KB	64KB	64KB	64KB	64KB
RAM	16KB	16KB	16KB	16KB	16KB	16KB	16KB	16KB
工作电压	2.0~5.5V	2.0~5.5V	2.0~5.5V	2.0~5.5V	2.0~5.5V	2.0~5.5V	2.0~5.5V	2.0~5.5V
工作温度	-40~105℃	-40~105℃	-40~105℃	-40~105℃	-40~105℃	-40~105℃	-40~105℃	-40~105℃
DMA	1*5ch	1*5ch	1*5ch	1*5ch	1*5ch	1*5ch	1*5ch	1*5ch
低功耗定时器	1	1	1	1	1	1	1	1
基本定时器	[6] ⁽¹⁾	[6] ⁽¹⁾	[6] ⁽¹⁾	[6] ⁽¹⁾	[6] ⁽¹⁾	[6] ⁽¹⁾	[6] ⁽¹⁾	[6] ⁽¹⁾
通用定时器	2	2	2	2	2	2	2	2
高级定时器	4	4	4	4	4	4	4	4
实时时钟定时器	1	1	1	1	1	1	1	1
IWDT	1	1	1	1	1	1	1	1
WWDT	1	1	1	1	1	1	1	1
PWM 总通道数	20ch	20ch	19ch	19ch	20ch	20ch	19ch	19ch
LPUART	2	2	1	1	2	2	1	1
USART	2	2	2	2	2	2	2	2
LIN	√	√	√	√	√	√	√	√
ISO7816	√	√	√	√	√	√	√	√
CAN	1	1	1	1	1	1	1	1
I2C	2	2	2	2	2	2	2	2
I2CSLV	1	1	1	1	1	1	1	1
SPI	2	2	1	1	2	2	1	1
12-bit ADC	1*16ch	1*16ch	1*10ch	1*10ch	1*16ch	1*16ch	1*10ch	1*10ch
OPA	2	2	-	-	2	2	-	-
VC	2	2	2	2	2	2	2	2

商业代码	HC32F052JATB-LQ48	HC32F052JAUB-QFN48TR	HC32F052FATB-LQ32	HC32F052FAUB-QFN32TR	HC32F052J8TB-LQ48	HC32F052J8UB-QFN48TR	HC32F052F8TB-LQ32	HC32F052F8UB-QFN32TR
LVD	√	√	√	√	√	√	√	√
CRC	√	√	√	√	√	√	√	√
EAU	1	1	1	1	1	1	1	1
封装形式 (mm*mm)	LQFP48(7*7)	QFN48(7*7)	LQFP32(7*7)	QFN32(4*4)	LQFP48(7*7)	QFN48(7*7)	LQFP32(7*7)	QFN32(4*4)
包装方式	Tray	Tape & Reel	Tray	Tape & Reel	Tray	Tape & Reel	Tray	Tape & Reel
脚间距	0.5mm	0.5mm	0.8mm	0.4mm	0.5mm	0.5mm	0.8mm	0.4mm
产品厚度	1.4mm	0.75mm	1.4mm	0.75mm	1.4mm	0.75mm	1.4mm	0.75mm



说明

- 1. 该模块为复用模块，和通用定时器分时复用。

订购前，请联系销售窗口咨询最新量产信息。

版本记录

文档版本日期	修改说明
Rev1.50 2026/08/28	1. 典型应用电路图：去耦电容描述优化； 2. 电气特性：“绝对最大额定值”章节，电压电流表合一； 3. 封装信息：“焊盘示意图”章节删除冗余数据；
Rev1.41 2026/02/12	1. 电气特性：“绝对最大额定值”章节温度特性的符号“T_j”修改为“T_{jmax}”；“通用工作条件”章节删除功率耗散相关说明；“外部高速晶振 XTH”章节 C_{Lx} 描述修改为“匹配电容”，注释描述优化；“外部低速晶振 XTL”章节 C_{Lx} 描述修改为“匹配电容”，同时最小值修改为 4pF，注释描述优化；“Flash 存储器特性”章节 EC_{FLASH} 参数根据新条件优化并更新数据； 2. 封装信息：“封装尺寸”章节 QFN 封装删除 A3、R、c 标识；“QFN48 封装”章节 D2/E2 最大值修改为“5.40”；“QFN32 封装”章节 L 最小值修改为“0.30”，D2/E2 最大、最小值修改为“2.80、2.60”，H 值（原 h）修改为“0.30REF”；
Rev1.40 2025/09/12	1. 电气特性：“内部高速时钟 RCH”章节 RCH 振荡器精度在 $T_A=-40\sim105^{\circ}C$ 条件下修改为“1%”；
Rev1.30 2025/04/03	1. 修改 105℃产品： HC32F052JATB-LQ48、HC32F052FATB-LQ32、HC32F052JAUB-QFN48TR、 HC32F052FAUB-QFN32TR HC32F052J8TB-LQ48、HC32F052F8TB-LQ32、HC32F052J8UB-QFN48TR、 HC32F052F8UB-QFN32TR 相关章节修改产品支持情况描述： ● 产品特性：修改工作条件-40~105℃以及对应商业型号。 ● 产品概述：修改温度质量范围“B：-40~105℃，工业级”；修改-40~105℃产品的型号功能对比表及相关说明。 ● 引脚配置及功能：修改-40~105℃产品的商业编号。 ● 电气特性：“绝对最大额定值”章节修改最大结温度为 125℃；“通用工作条件”、“内置的参考电压”、“供电电流特性”、“内部时钟源特性”、“Flash 存储器特性”、“ESD 特性”、“温度传感器特性”、“OPA 特性”章节新增 105℃数据。 ● 订购信息：修改 105℃产品的商业编号。 2. 产品特性：唤醒时间由“6μs”修改为“9μs”。 3. 引脚配置及功能：“模块信号说明”标识刷新与“引脚功能说明”保持一致； 4. 电气特性：“工作条件-通用工作条件”章节删除 P_D；“工作条件-通信接口-SPI 特性”章节串行时钟周期、从机数据输出的生效时间、从机数据输出的保持时间等相关参数调整，增加表格说明：“数据基于 $V_{CC}=3.0V$ 条件给出”、“主机模式最大分频系数为 $PCLK/2$，从机模式最大分频系数为 $PCLK/4$”； 5. 封装信息：“封装尺寸”章节封装删除 eB 标识和 SECTION B-B，QFN32 封装数据删除 Ne 和 Nd； 6. 订购信息：增加 PWM 通道数信息；LQFP 封装的厚度 Pitch 由“1.6mm”修改为“1.4mm”。
Rev1.20	1. 整体手册风格按照结构化开发流程刷新。

文档版本日期	修改说明
2024/12/24	2. 产品特性：通用 I/O 引脚描述由“40IO/48pin, 26IO/32pin, 23IO/28pin”修改为“40IO/48pin, 26IO/32pin”。 3. 引脚配置及功能：“引脚配置图”QFN48 和 QFN32 图中“DVSS”修改为“Exposed Thermal Pad”，补充说明“Exposed Thermal Pad 需要连接到 DVSS”；“引脚功能说明”章节引脚数量替换为对应封装。 4. 典型应用电路图：图中描述由“DVCC*4、DVSS*4、100nF*4”修改为“DVCC*2、DVSS*2、100nF*2”。 5. 电气特性：“参数条件”章节最大值和最小值、典型参数值定义优化；整个章节数据来源根据最新规范调整；“供电电流特性”章节 $I_{DD}(LP\ Run)$、$I_{DD}(LP\ Sleep)$、$I_{DD}(DeepSleep)$ 条件描述优化，增加上标，补充部分条件的最大值取值；“工作条件-从低功耗模式唤醒的时间”章节删除表中“Flash 不进入低功耗模式”场景数据；“ESD 特性”章节数据由典型值调整为最大最小值，增加条件描述，补充数据来源说明。 6. 封装信息：“封装热阻系数”章节修改 P_D 描述，使之更契合实际情况。 7. 订购信息：调整部分信息的排序，增加 IWDT、WWDT、EAU 支持情况；HC32F052FATA-LQ32 和 HC32F052F8TA-LQ32 的脚间距 Pitch 由“0.5mm”修改为“0.8mm”。
Rev1.10 2024/06/25	1. 产品特性：修改唤醒时间“4μs”为“6μs”；修改“运放”为“运算放大器”。 2. 简介：修改模数转换器 ADC 描述：输入通道数改为 18、删除 1.2V 相关描述、“内置电压跟随器”改为“内置输入电压跟随器”；修改模拟电压比较器 VC 描述：内部负输入通道改为 3，删除 1.2V 相关描述；修改运算放大器 OPA 描述：“简易滤波器”改为“简易放大器”。 3. 引脚配置及功能：QFN48 封装图替换。 4. 电气特性：删除图 7-1 的说明；表 7-3 的存储温度“-60~ + 150”改为“-65~+150”；修改表 7-7 LVD 模块特性的检测阈值参数；表 7-8 添加数据来源说明和注意事项；表 7-10 低功耗模式唤醒时间添加数据来源说明、修改数据“4μs”为“6μs”；表 7-14 低速外部时钟 XTL 第一条说明添加“非特别标注”；修改表 7-15 的震荡频率参数、添加启动时间参数、添加数据来源说明；修改表 7-16 的震荡频率参数、添加数据来源说明；修改表 7-17 的锁定时间参数、添加数据来源说明；表 7-18 “存储特性”改为“Flash 存储特性”，删除表中“Regulator voltage=1.5V”，修改页擦除时间参数；修改表 7-21 的英文为中文；图 7-4 添加数据来源说明；修改表 7-22 的英文为中文；表 7-23 删除 $t_{(int)}$ 参数；表 7-24 添加数据来源说明；修改表 7-32 的“Vio”为“Vos”，修改“AZ”为“AutoZero”；修改表 7-38 的“62.5”为“50”。
Rev1.00 2023/11/15	第一次正式发布。