

HC32M413 系列

32 位 ARM[®] Cortex[®]-M4 微控制器

数据手册

Rev1.00
2026 年 7 月

产品特性

ARM Cortex-M4 32-bit MCU+FPU, 150DMIPS, 128KB Code Flash, 16KB SRAM, 10Timers, 1ADC, 1DAC, 3CMPs, 3OPAs, 4UARTs, 1SPI, 1I2C, 1HALL

- ARMv7-M 架构 32-bit Cortex-M4 CPU，集成 FPU、MPU，支持 SIMD 指令的 DSP，及 CoreSight 标准调试单元。最高工作主频 120MHz，达到 150DMIPS 或 408Coremarks 的运算性能
- 内置存储器
 - ▶ 最大 128KB 的 Code Flash Memory
 - ▶ 最大 16KB 的单周期访问高速 SRAM
- 电源，时钟，复位管理
 - ▶ 系统电源 (V_{CC})：2.7-5.5V
 - ▶ 5 个独立时钟源：外部主时钟晶振 (4-24MHz)；内部高速 RC (12MHz)；内部中速 RC (8MHz)；内部低速 RC (32.768kHz)；PLL
 - ▶ 12 种复位源：包括上电复位 (POR)、低电压检测复位 (PVD1R/PVD2R)、端口复位 (NRST) 等。每个复位源有独立标志位
- 低功耗运行
 - ▶ 外设功能可以独立关闭或开启
 - ▶ 两种低功耗模式：Sleep 模式，Stop 模式
- 外设运行支持系统显著降低 CPU 处理负荷
 - ▶ 4 通道 DMAC
 - ▶ 1 个数据计算单元 (DCU)
 - ▶ 1 个数学运算单元 (MAU)
 - ▶ 支持外设事件相互触发 (AOS)
- 高性能模拟
 - ▶ 1 个独立 12-bit 3.6Msps ADC
 - ▶ 1 个独立 12-bit DAC (输出仅用于 CMP 负端参考电压输入)
 - ▶ 3 个独立电压比较器 (CMP)
 - ▶ 3 个独立运算放大器 (OPA)
- Timer
 - ▶ 1 个 16-bit 电机 PWM Timer (Timer4)
 - ▶ 5 个 16-bit 通用 Timer (TimerA)
 - ▶ 2 个 16-bit 基础 Timer (Timer0)
 - ▶ 2 个 WDT

- 最大 52 个 GPIO
- 最大 6 个通信接口
 - ▶ 4 个 USART，支持 ISO7816-3、LIN 协议
 - ▶ 1 个 SPI
 - ▶ 1 个 I2C，支持 SMBus
- 其他功能：CRC16/32/64
- 封装形式：LQFP64/48/32

支持型号

HC32M413KATI-LQFP64	HC32M413JATI-LQ48
HC32M413FATI-LQ32	-

说明事项

版权所有©2026 小华半导体有限公司。保留所有权利

本文件及附件包含的信息有关知识产权权益全部属于小华半导体有限公司（以下简称“XHSC”）；客户对本文件及附件包含的信息只享有内部使用权，未经 XHSC 书面允许，任何单位和个人不得擅自摘抄、复制、改动或以其他任何形式使用本文件的部分或全部内容，并不得以任何形式进行传播。

商标声明

 小华半导体有限公司  和其他商标均为 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

注意事项

- XHSC 保留随时更改、更正、增强、修改产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。
- 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。
- XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。
- XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。
- 重要提示：在使用本产品前，请务必查阅官方发布的最新勘误表，充分知悉产品已知修正信息，规避使用风险。
- 本通知中的信息取代并替换先前版本中的信息。

小华半导体有限公司

地址：	上海市浦东新区中科路 1867 号 A 座 4 楼
网址：	https://www.xhsc.com.cn
邮箱：	XHSC_MCU@xhsc.com.cn （商务咨询） XHSC_FAE@xhsc.com.cn （技术咨询）

前言

数据格式

- 0x 前缀表示十六进制数据
- 0b 前缀表示二进制数据
- 数字没有前缀表示十进制数据

安全声明

由于使用某个功能或者协议，可能会存在潜在的安全问题，需要进行声明，提醒用户慎用，规避安全风险。

目录

产品特性.....	ii
前言.....	iv
1 产品概述.....	7
1.1 产品阵容.....	7
1.2 功能框图.....	9
2 功能描述.....	10
2.1 CPU.....	10
2.2 总线架构 (BUS)	10
2.3 复位控制 (RMU)	10
2.4 时钟控制 (CMU)	11
2.5 电源控制 (PWC)	11
2.6 初始化配置 (ICG)	11
2.7 嵌入式 Code Flash (EFM)	11
2.8 内置 SRAM (SRAM)	11
2.9 通用 IO (GPIO)	12
2.10 中断控制 (INTC)	12
2.11 自动运行系统 (AOS)	12
2.12 DMA 控制器 (DMA)	12
2.13 电压比较器 (CMP)	13
2.14 模数转换器 (ADC)	13
2.15 数模转换器 (DAC)	14
2.16 通用控制定时器 (Timer4)	14
2.17 紧急刹车模块 (EMB)	14
2.18 通用定时器 (TimerA)	14
2.19 通用定时器 (Timer0)	15
2.20 看门狗计数器 (WDT/SWDT)	15
2.21 霍尔信号处理模块 (HALL)	15
2.22 串行通信接口 (USART)	15
2.23 集成电路总线 (I2C)	16
2.24 串行外设接口 (SPI)	16
2.25 CRC 计算单元 (CRC)	17
2.26 数据计算单元 (DCU)	17
2.27 数学运算单元 (MAU)	17
2.28 调试控制器 (DBG)	17
3 引脚配置及功能.....	18
3.1 引脚配置图.....	18
3.1.1 LQFP64 封装.....	18
3.1.2 LQFP48 封装.....	19
3.1.3 LQFP32 封装.....	20
3.2 引脚功能表.....	21
3.3 引脚功能说明.....	24
3.4 引脚使用说明.....	27

4 电气特性	28
4.1 参数条件	28
4.1.1 最小值和最大值	28
4.1.2 典型数值	28
4.1.3 典型曲线	28
4.1.4 负载电容	28
4.1.5 引脚输入电压	28
4.1.6 电源方案	29
4.1.7 电流消耗测量	29
4.2 绝对最大额定值	30
4.3 工作条件	31
4.3.1 通用工作条件	31
4.3.2 上电和掉电时的工作条件	31
4.3.3 复位和电源控制模块特性	31
4.3.4 内置的参考电压	33
4.3.5 供电电流特性	34
4.3.6 低功耗模式唤醒时序	37
4.3.7 外部时钟源特性	37
4.3.8 内部时钟源特性	39
4.3.9 PLL 特性	40
4.3.10 存储器（闪存）特性	40
4.3.11 I/O 端口特性	41
4.3.12 I2C 接口特性	43
4.3.13 SPI 接口特性	44
4.3.14 USART 接口特性	46
4.3.15 SWD 接口特性	47
4.3.16 12 位 ADC 特性	48
4.3.17 12 位 DAC 特性	51
4.3.18 比较器特性	51
4.3.19 OPA 特性	52
4.3.20 EIRQ 滤波特性	53
4.3.21 NMI 滤波特性	53
4.3.22 USART1 STOP 模式下 RX 滤波特性	53
5 封装信息	54
5.1 封装尺寸	54
5.1.1 LQFP64 封装	54
5.1.2 LQFP48 封装	56
5.1.3 LQFP32 封装	58
5.2 焊盘示意图	60
5.2.1 LQFP64 封装（10mm x 10mm）	60
5.2.2 LQFP48 封装（7mm x 7mm）	61
5.2.3 LQFP32 封装（7mm x 7mm）	62
5.3 丝印说明	63
5.4 封装热阻系数	63
6 订购信息	64

版本记录.....65

1 产品概述

1.1 产品阵容

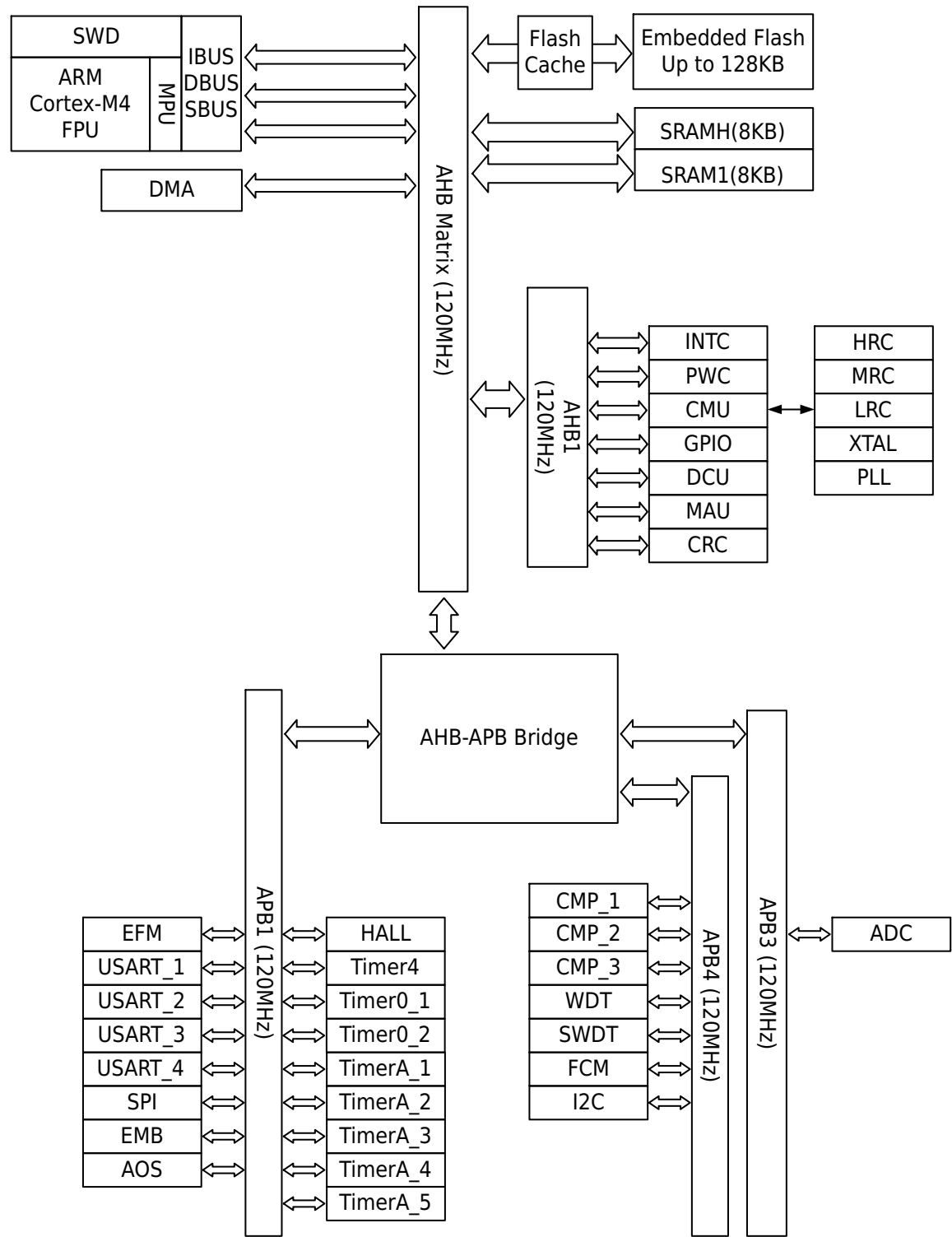
产品名称

	HC	32	M	4	1	3	F	A	T	I
小华半导体										
MCU家族										
32: 32-bit										
产品类型										
M: 电机控制										
MCU平台										
4: Cortex-M4										
MCU规格档次										
1: 入门+										
功能配置流水号										
3: 配置3										
管脚数量										
K: 64 Pin										
J: 48 Pin										
F: 32 Pin										
程序容量										
A: 128 KB										
封装类型										
T: LQFP										
温度质量范围										
I: -40~105 °C										

型号功能对比表

产品名称		HC32M413FATI	HC32M413JATI	HC32M413KATI
引脚数		32	48	64
GPIO 数		24	40	52
CPU	内核	Cortex-M4		
	频率	120MHz		
存储空间	Flash	128KB		
	SRAM	16KB		
时钟	内部高速时钟	HRC 12MHz		
	内部中速时钟	MRC 8MHz		
	内部低速时钟	LRC 32.768kHz		
	外部高速晶振	XTAL 4~24MHz		
电源电压范围		2.7~5.5V		
温度范围		-40~105°C		
外部端口中断		EIRQ * 8		
DMA 控制器		1unit * 4ch		
定时器和计数器	Timer0	2unit		
	TimerA	5unit		
	Timer4	1unit		
	WDT	1ch		
	SWDT	1ch		
通信接口	USART	4ch		
	I2C	1ch		
	SPI	1ch		
模拟	12-bit ADC	1unit, 6ch	1unit, 14ch	1unit, 16ch
	12-bit DAC	1ch (输出仅用于 CMP 负端参考电压输入)		
	CMP	3ch		
	OPA	1ch	3ch	3ch
	PVD	√		
协处理	DCU	√		
	MAU	√		
频率监测 FCM		√		
霍尔捕获 HALL		√		
CRC		√		
调试接口	SWD	√		
	TOOL0	√		
封装类型		LQFP		

1.2 功能框图



说明

不同封装的产品支持的资源数量有差异，详细支持情况请参见[型号功能对比表](#)。

2 功能描述

2.1 CPU

HC32M413 系列集成了嵌入式 ARM® Cortex-M4 with FPU 32-bit 精简指令 CPU，在实现管脚少功耗低的同时，提供出色的运算性能和迅速的中断反应能力。片上集成的存储容量可以充分发挥出 ARM® Cortex-M4 出色的指令效率。CPU 支持 DSP 指令，可以实现高效信号处理运算和复杂算法。单点精度 FPU（Floating Point Unit）单元可以避免指令饱和，加快软件开发。

2.2 总线架构（BUS）

主系统由 32 位多层 AHB 总线矩阵构成，可实现以下主机总线和从机总线的互连：

- 主机总线
 - ▶ Cortex-M4 内核 CPU-I 总线，CPU-D 总线，CPU-S 总线
 - ▶ 系统 DMA 总线
- 从机总线
 - ▶ Code Flash ICODE 总线
 - ▶ Code Flash DCODE 总线
 - ▶ Code Flash MCODE 总线（CPU 以外其他主机访问 Code Flash 的总线）
 - ▶ 系统 SRAMH（SRAMH 8KB）总线
 - ▶ 系统 SRAM（SRAM1 8KB）总线
 - ▶ APB1 外设总线（AOS/EMB/Timer0/Timer4/TimerA/SPI/USART/EFM/HALL）
 - ▶ APB3 外设总线（ADC）
 - ▶ APB4 外设总线（FCM/WDT/SWDT/CMP/I2C）
 - ▶ AHB1 外设总线（INTC/DCU/GPIO/DMA/FCG/CMU/PWC/MAU/CRC）

借助总线矩阵，可以实现主机总线到从机总线高效率的并发访问。

2.3 复位控制（RMU）

芯片配置了 12 种复位方式：

- 上电复位（POR）
- NRST 引脚复位（NRST）
- 欠压复位（BOR）
- 可编程电压检测 1 复位（PVD1R）
- 可编程电压检测 2 复位（PVD2R）
- 看门狗复位（WDTR）
- 专用看门狗复位（SWDTR）
- 软件复位（SRST）
- RAM 奇偶校验复位（RAMPR）
- 时钟异常复位（CKFER）
- 外部高速振荡器异常停振复位（XTALER）
- Cortex-M4 Lockup 复位（LKUPR）

2.4 时钟控制 (CMU)

时钟控制单元提供了一系列频率的时钟功能，包括：一个外部高速振荡器、一个 PLL 时钟、一个内部高速振荡器、一个内部中速振荡器、一个内部低速振荡器、时钟预分频器、时钟多路复用和时钟门控电路。

时钟控制单元还提供时钟频率测量功能。时钟频率测量电路 (FCM) 使用测定基准时钟对测定对象时钟进行监视测定。在超出设定范围时发生中断或者复位。

AHB、APB 和 Cortex-M4 时钟都源自系统时钟。系统时钟的最大运行时钟频率可以达到 120MHz，有 5 个可选择的时钟源：

1. 外部高速振荡器 (XTAL)
2. PLL 时钟 (PLL)
3. 内部高速振荡器 (HRC)
4. 内部中速振荡器 (MRC)
5. 内部低速振荡器 (LRC)

对于每一个时钟源，在未使用时都可以单独打开和关闭，以降低功耗。SWDT 使用内部低速振荡器作为计数时钟源。

2.5 电源控制 (PWC)

电源控制器用来控制芯片的运行模式和低功耗模式下的电源供给、切换、检测。电源控制器由功耗控制逻辑 (PWCL)、电源电压检测单元 (PVD) 构成。

芯片的工作电压 (VCC) 为 2.7V 到 5.5V。电压调节器 (LDO) 为 VDD 域供电。芯片通过功耗控制逻辑 (PWCL) 提供睡眠、停止两种低功耗模式。

电源电压检测单元 (PVD) 提供了上电复位 (POR)、掉电复位 (PDR)、欠压复位 (BOR)、可编程电压检测 1 (PVD1)、可编程电压检测 2 (PVD2) 等功能，其中 POR、PDR、BOR 通过检测 VCC 电压，控制芯片复位动作。PVD1 通过检测 VCC 电压，根据寄存器设定使芯片产生复位或者中断。PVD2 通过检测 VCC 电压或者外部输入检测电压，根据寄存器选择产生复位或者中断。

模拟模块配备了专用供电引脚，提高了模拟性能。

2.6 初始化配置 (ICG)

芯片复位解除后，硬件电路会读取 FLASH 地址 0x00020000~0x00020010，把数据加载到初始化配置寄存器。用户可通过编程或擦除扇区相应 FLASH 地址来修改初始化配置 (ICG) 寄存器。地址 0x00020018~0x0002001F 为数据安全保护使能区。寄存器复位值由 FLASH 数据确定。

2.7 嵌入式 Code Flash (EFM)

Flash 接口通过 ICODE，DCODE 和 MCODE 总线对 Flash 进行访问。该接口可对 Flash 执行编程，擦除和全擦除操作；通过缓存机制加速代码执行。

主要特性：

- 两个独立缓存区：ICODE 总线缓存空间 1KBytes (128x64)；DCODE 总线缓存空间 64Bytes (8x64)
- 支持专有代码读保护 (PCROP) 功能
- 支持 Flash 数据 CRC 校验功能
- 支持数据安全保护

2.8 内置 SRAM (SRAM)

本产品带有 16KB 系统 SRAM (SRAMH/SRAM1)。

各 SRAM 可按照字节、半字 (16 位) 或全字 (32 位) 访问。各 SRAM 读写操作可以在 CPU 最高速度 (120MHz) 下 0 等待 (即 1 周期) 执行。

SRAM1 和 SRAMH 带有奇偶校验（Parity check），每字节数据带有一位校验位。在 RAM 奇偶校验复位功能使能情况下，当读取 SRAM 数据发生奇偶校验错误时，产生 SRAM 奇偶校验复位。

2.9 通用 IO（GPIO）

GPIO 主要特性：

- 每组 Port 配有 8 个 I/O Pin，根据实际配置可能不足 8 个
- 支持上拉输入
- 支持推挽，开漏输出模式
- 支持高、低型驱动模式
- 支持 CMOS/Schmitt 两种输入模式自由切换
- 支持外部中断的输入
- 支持 I/O pin 周边功能复用，一个 I/O pin 最多可具有 10 个可选的复用功能
- 各个 I/O pin 可独立编程

2.10 中断控制（INTC）

中断控制器（INTC）选择中断事件作为中断请求送到 NVIC 唤醒 WFI；选择中断事件作为事件输入（RXEV）唤醒 WFE；选择中断事件唤醒系统低功耗模式（睡眠模式和停止模式）；控制外部中断和软件中断。

INTC 主要特性如下：

1. 可屏蔽中断：INTC 配备了 124 个中断事件，处理后作为中断请求（IRQ）发送给 NVIC。NVIC 支持 74 个 IRQ，每个 IRQ 对应一个或多个中断事件。



说明

更多关于异常和 NVIC 编程的说明，请参考《Arm Cortex-M4 Processor Technical Reference Manual》。

2. NVIC 可编程优先级：16 个可编程优先级（使用了 4 位中断优先级）。
3. 不可屏蔽中断：可以选择多种系统中断事件作为不可屏蔽中断请求，且各中断事件配备了独立的使能、挂起、清除挂起寄存器。
4. 配备 8 个外部管脚中断事件。
5. 配备多种外设中断事件请求，详细信息请参见《参考手册》的“中断控制器（INTC）”章节“中断事件表”。
6. 配备 24 个软件中断事件。
7. 中断可唤醒系统睡眠模式和停止模式。

2.11 自动运行系统（AOS）

自动运行系统（Automatic Operation System）用于在不借助 CPU 的情况下实现外设之间的联动。利用外设产生的事件作为 AOS 源（AOS Source），如定时器的比较匹配、定时器的计数溢出、通信模块的收发数据的各种状态（空闲、接收数据满、发送数据结束、发送数据空）、ADC 的转换结束等事件，来触发其他外设动作。被触发的外设动作称为 AOS 目标（AOS Target）。

用户可以根据需求选择一个或多个 AOS 源来触发同一个 AOS 目标。

2.12 DMA 控制器（DMA）

DMA 用于在存储器和外围功能模块之间传送数据，能够在 CPU 不参与的情况下，实现存储器之间、存储器和外围功能模块之间以及外围功能模块之间的数据交换。

DMA 主要特性：

- DMA 总线独立于 CPU 总线，按照 AMBA AHB-Lite 总线协议传输
- 拥有 1 个 DMA 控制单元，共 4 个独立通道，可以独立操作不同的 DMA 传输功能
- 每个通道的启动源通过独立的触发源选择寄存器配置

- 每次请求传输一个数据块
- 数据块最小为 1 个数据，最多可以是 1024 个数据
- 每个数据的宽度可配置为 8-bit、16-bit 或 32-bit
- 可以配置 1~65535 次传输或无限次传输
- 源地址和目标地址可以独立配置为固定、自增、自减、重复跳转或指定偏移量的跳转
- 可产生 3 种中断：块传输完成中断、传输完成中断和传输错误中断。每种中断都可以配置是否屏蔽。其中块传输完成、传输完成可作为事件输出，可作为其他外围模块的触发源
- 支持连锁传输功能，可实现一次请求传输多个数据块
- 支持外部事件触发通道重置
- 支持软件触发启动传输和软件触发通道重置
- 不使用时可设置进入模块停止状态以降低功耗

2.13 电压比较器 (CMP)

电压比较器 (Comparator, 以下简称 CMP) 是将两个模拟电压进行比较并且输出比较结果的外设模块。本产品搭载两组共 3 个比较通道：CMP1 和 CMP2、CMP3。

CMP 主要特性：

- 3 个比较通道可独立进行普通比较
- CMP1 和 CMP2 组合使用可实现窗口比较功能
- 每个比较通道的正/负端电压均有多个输入源 (IO、DAC) 供选择
- 迟滞电压可配置
- 噪声滤波器可以对比较器输出滤波，7 种采样时钟可选
- 可使用定时器 PWM 进行比较器空白窗口控制
- 可在比较结果的变化边沿产生中断、触发其他外设以及唤醒 STOP 模式
- 比较结果可通过寄存器监视，也可输出到外部管脚 VCOUT
- 比较结果可用于紧急刹车 (EMB) 控制事件

2.14 模数转换器 (ADC)

12 位 ADC 是一种采用逐次逼近方式的模拟数字转换器。本 MCU 搭载 1 个 ADC 单元，最大支持 16 个通道，可以转换来自外部引脚的模拟信号。模拟输入通道可以任意组合成一个序列，一个序列可以进行单次扫描转换，或连续扫描转换。支持对任意指定通道进行连续多次转换并对转换结果进行平均。ADC 模块还搭载模拟看门狗功能，对任意指定通道的转换结果进行监视，检测其是否超出用户设定的范围。

ADC 主要特性如下：

- 高性能
 - ▶ 12 位分辨率
 - ▶ ADC 采样转换时钟 ADCLK 的时钟源为 PCLK4 (由寄存器 CMU_ADCKSEL 设定)
 - ▶ 采样率：3.6Msps (ADCLK=80MHz, 12 位, 采样 8 周期, 转换 14 周期)
 - ▶ 各通道采样时间独立编程
 - ▶ 各通道独立数据寄存器
 - ▶ 数据寄存器可配置左/右对齐方式
 - ▶ 连续多次转换平均功能
 - ▶ 过采样功能
 - ▶ 模拟看门狗，监视转换结果
 - ▶ 不使用时可以将 ADC 模块设定成停止状态

- 模拟输入通道
 - ▶ 总共 16 个外部模拟输入
- 转换开始条件
 - ▶ 软件设置转换开始
 - ▶ 周边外设同步触发转换开始
 - ▶ 外部引脚触发转换开始
- 转换模式
 - ▶ 3 个扫描序列 A、B、C，可任意指定单个或多个通道
 - ▶ 序列 A 单次扫描
 - ▶ 序列 A 连续扫描
 - ▶ 双序列扫描，序列 A、B 独立选择触发源，序列 B 优先级高于 A
 - ▶ 三序列扫描，序列 A、B、C 独立选择触发源，序列 C 优先级高于 B，序列 B 优先级高于 A
- 中断与事件信号输出
 - ▶ 序列 A 扫描结束中断和事件 ADC_EOCA
 - ▶ 序列 B 扫描结束中断和事件 ADC_EOCB
 - ▶ 序列 C 扫描结束中断和事件 ADC_EOCC
 - ▶ 模拟看门狗 0 比较中断和事件 ADC_CMP0
 - ▶ 模拟看门狗 1 比较中断和事件 ADC_CMP1
 - ▶ 上述所有事件输出都可启动 DMA

2.15 数模转换器 (DAC)

本 MCU 搭载了 1 个 12 位的数模转换器单元 DAC。DAC 单元包含一个 DAC 转换通道。模拟电压输出范围有两档可设。

DAC 主要特性：

- 一个 DAC 转换通道
- 输出可用于电压比较器 (CMP) 的负端电压

2.16 通用控制定时器 (Timer4)

通用控制定时器 4 (Timer4) 是一个用于三相电机控制的定时器模块，提供各种不同应用的三相电机控制方案。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形；支持缓存功能；支持 EMB 控制。本系列产品中搭载 1 个单元的 Timer4。

2.17 紧急刹车模块 (EMB)

紧急刹车模块是在满足一定条件时产生控制事件输出给定时器，使得定时器停止或更改向外部电机输出 PWM 信号的功能模块，下列要因用于产生控制事件：

- 外部端口输入电平变化
- Timer4 PWM 输出端口电平发生同相（同高或同低）
- 电压比较器比较结果
- XTAL 停止振荡
- 写寄存器软件控制

2.18 通用定时器 (TimerA)

通用定时器 A (TimerA) 是一个具有 16 位计数宽度、2/6 路 PWM 输出的定时器。该定时器支持三角波和锯齿波两种波形模式，可生成各种 PWM 波形（单边对齐 PWM、双边对称 PWM）；支持计数器同步启动；比

较基准值寄存器支持缓存功能；支持单元间级联实现 32 位计数；支持 2 相正交编码计数和 3 相正交编码计数。本系列产品搭载 5 个单元 TimerA，其中单元 1（TimerA_1）~单元 4（TimerA_4）各有 2 路 PWM 输出，单元 5（TimerA_5）有 6 路 PWM 输出，5 个单元最多可实现 14 路 PWM 输出。

2.19 通用定时器（Timer0）

通用定时器 0（Timer0）是一个可以实现同步计数和异步计数方式的基本定时器。该定时器内含 2 个通道（CH-A 和 CH-B），可以在计数期间产生比较匹配事件与计数溢出事件。该事件可以触发中断，也可以用于触发其他模块动作。本系列产品中搭载 2 个单元的 Timer0。

2.20 看门狗计数器（WDT/SWDT）

本产品有两个看门狗计数器，一种是计数时钟源为内部 RC（32.768kHz）的专用看门狗计数器（SWDT），另一种是计数时钟源为 PCLK3 的通用看门狗计数器（WDT）。专用看门狗和通用看门狗是 16 位递减计数器，用来监测由于外部干扰或不可预见的逻辑条件造成的应用程序背离正常的运行而产生的软件故障。两个看门狗都支持窗口功能。在计数开始前可预设窗口区间，计数值位于窗口区间时，可刷新计数器，计数重新开始。

2.21 霍尔信号处理模块（HALL）

- 霍尔信号处理模块（HALL）具有 32 位计数宽度、3 路 HALL 信号输入。支持 3 路 HALL 信号输入数字滤波。
- 霍尔信号变化捕获
 - 霍尔输入信号数字滤波
 - 捕获、溢出事件输出

2.22 串行通信接口（USART）

本产品搭载通用同步异步收发器（USART）模块 4 个单元，能够灵活地与外部设备进行全双工数据交换；本产品搭载的 USART 支持通用异步串行通信接口（UART），时钟同步通信接口，智能卡接口（ISO/IEC7816-3）和 LIN 通信接口。支持调制解调器操作（CTS/RTS 操作），多处理器操作，DE 功能，接收超时功能。USART1 支持通过 RX 线唤醒 STOP 模式功能。

具体功能分配如下：

功能特性	模块支持情况			
	USART1	USART2	USART3	USART4
UART	✓	✓	✓	✓
多处理器通信	✓	✓	✓	✓
时钟同步通信	✓	✓	✓	✓
RX 线唤醒 STOP 模式功能	✓	-	-	-
小数波特率	✓	✓	✓	✓
LIN	-	✓	✓	✓
智能卡	✓	-	-	-
UART 接收超时功能	✓	✓	✓	✓
RS485 Driver Enable	✓	✓	✓	✓

2.23 集成电路总线（I2C）

I2C（集成电路总线）用作微控制器和 I2C 串行总线之间的接口。提供多主模式功能，可以控制所有 I2C 总线的协议、仲裁。支持标准模式、快速模式。还支持 SMBus 总线。

I2C 主要特性:

- I2C 总线方式、SMBUS 总线方式可选。主机模式、从机模式可选。自动确保与传送速率相对于的各种准备时间、保持时间和总线空闲时间
- 标准模式最大 100kbps，快速模式最大 400kbps
- 自动生成开始条件、重新开始条件和停止条件，并能检测到总线的开始条件，重新开始条件和停止条件
- 最大支持 128 个从机模式地址。支持 7 位地址格式和 10 位地址格式。能检测到广播呼叫地址、SMBus 主机地址、SMBus 设备默认地址、SMBus 报警地址
- 发送时可以自动判定应答位。接收时可以自动发送应答位
- 握手功能
- 仲裁功能
- 超时功能，可以检测 SCL 时钟长时间停止
- SCL 输入和 SDA 输入内置数字滤波器，滤波能力可编程
- 通信错误，接收数据满，发送数据空，一帧发送结束，地址匹配一致中断
- 2 级发送 FIFO 和 2 级接收 FIFO

2.24 串行外设接口（SPI）

本产品搭载 1 个通道的串行外设接口 SPI，支持高速全双工串行同步传输，方便地与外围设备进行数据交换。用户可根据需要进行三线/四线，主机/从机及波特率范围的设置。

表 2-2 SPI 主要特性

要点	描述
串行通信功能	● 支持 4 线式 SPI 模式和 3 线式时钟同步运行模式 ● 支持全双工和只发送两种通信方式 ● 可调整通信时钟 SCK 的极性和相位
数据格式	● 可选择数据移位顺序：MSB 开始/LSB 开始 ● 可选择数据宽度：4/5/6/7/8/9/10/11/12/13/14/15/16/20/24/32 位 ● 单次最多可传送或接收 4 帧宽度为 32 位的数据
波特率	● 主机模式下可通过内置专用波特率发生器对波特率进行调整，波特率范围为 PCLK1 的 2 分频~256 分频 ● 从机模式下允许的最大波特率为 PCLK1 的 6 分频
数据缓冲	● 带有 16 字节的数据缓冲器 ● 支持双重缓冲
错误监测	● 模式故障错误监测 ● 数据过载错误监测 ● 数据欠载错误监测 ● 奇偶校验错误监测

要点	描述
片选信号控制	● 每个通道配置四根片选信号线 ● 可对片选信号和通信时钟的相对时序关系进行调整 ● 可对连续两次通信之间的片选信号无效时间进行调整 ● 极性可调
主机模式下的传输控制	● 通过将数据写入数据寄存器启动传输 ● 通信自动挂起功能
中断	● 接收缓冲器已满 ● 发送缓冲器已空 ● SPI 错误（模式/过载/欠载/奇偶校验） ● SPI 空置 ● 传输完成（仅为事件源）
低功耗控制	● 可设置模块停止
其他功能	● SPI 初始化功能

2.25 CRC 计算单元（CRC）

本模块 CRC 算法遵从 ISO/IEC13239 的定义，分别采用 16 位、32 位和 64 位的 CRC。支持 CRC16/CCITT，CRC16/CCITT-FALSE，CRC16/XMODE，CRC16/IBM，CRC16/MAXIM，CRC16/USB，CRC16/MODBUS，CRC16/X25，CRC32，CRC32/MPEG-2 和 CRC64 十一种多项式计数。

2.26 数据计算单元（DCU）

数据计算单元（Data Computing Unit）是一个不借助于 CPU 的简单处理数据的模块。每个 DCU 单元具有 3 个数据寄存器，能够进行 2 个数据的加减运算和比较大小以及窗口比较功能。本产品搭载 1 个 DCU 单元。

2.27 数学运算单元（MAU）

数学运算单元（MAU）是一个内含开方运算、正弦运算和反正切运算三种运算类型的硬件加速运算模块，支持定点数的开方、正弦和反正切运算。正弦函数支持 $360^\circ/2^{12}$ 运算精度。

2.28 调试控制器（DBGMC）

本 MCU 的内核是 Cortex-M4，该内核包含用于高级调试功能的硬件。利用这些调试功能，可以在取指（指令断点）或访问数据（数据断点）时停止内核。内核停止时，可以查询内核的内部状态和系统的外部状态。查询完成后，将恢复内核和系统并恢复程序执行。

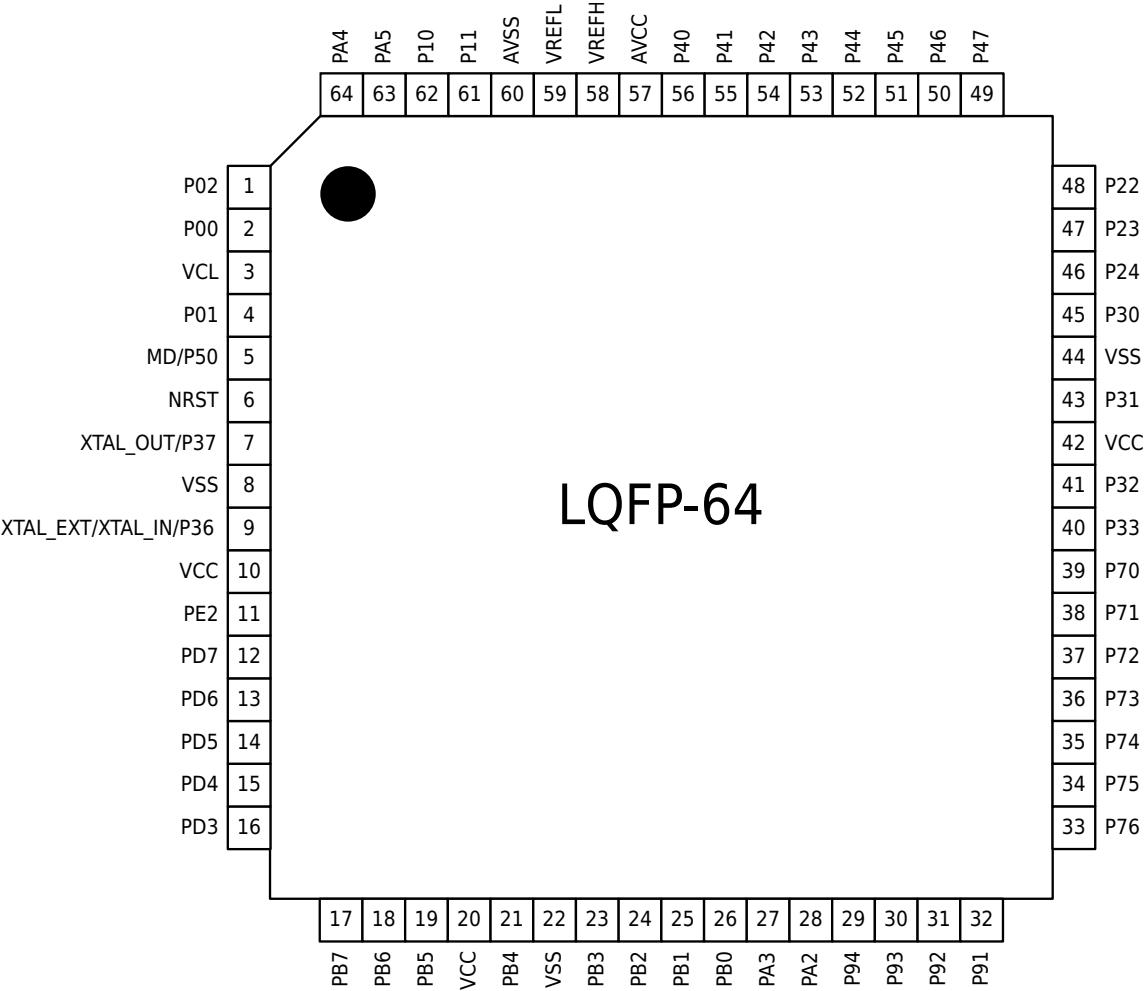
提供调试接口：

- 串行调试跟踪接口 SWD
- 单线串行调试接口 TOOL0

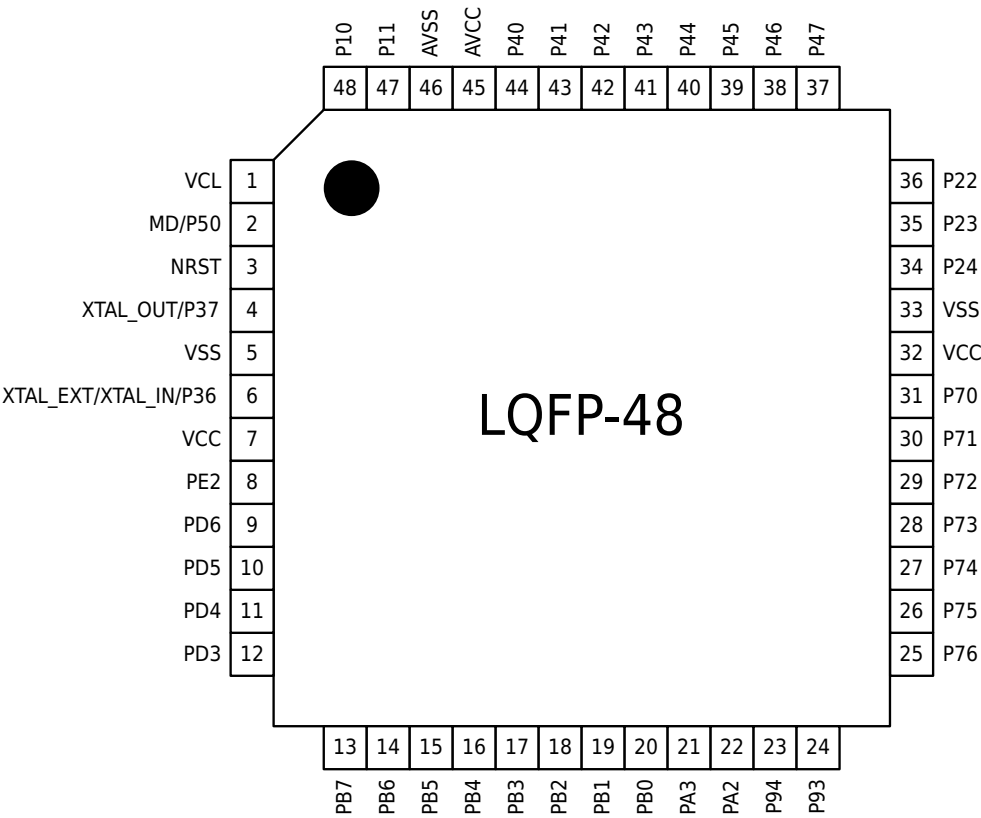
3 引脚配置及功能

3.1 引脚配置图

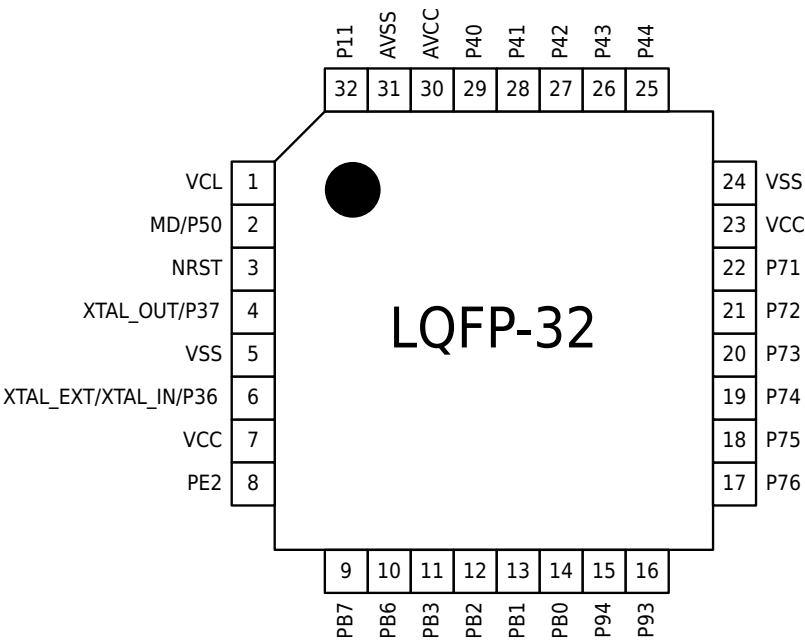
3.1.1 LQFP64 封装



3.1.2 LQFP48 封装



3.1.3 LQFP32 封装



3.2 引脚功能表

LQFP64	LQFP48	LQFP32	Pin Name	Analog	EIRQ	SWD/TOOL0	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9
							GPO	other	EMB/FCM/TMR4	TMRA	TMRA/HALL	USART	SPI	TMRA	I2C/USART	USART
1	-	-	P02		EIRQ5			ADST	TMR4_ADSM	TMRA_5_PWM1/ TMRA_5_CLKA		USART1_CTS	SPI_NSS0			USART1_RTS_DE
2	-	-	P00	PVD2EXINP	EIRQ2				EMB_IN3			USART3_CTS				USART3_RTS_DE
3	1	1	VCL	REGC												
4	-	-	P01		EIRQ4				FCMREF	TMRA_5_PWM2/ TMRA_5_CLKB						
5	2	2	P50/MD			TOOL0						USART4_TX				USART4_RX
6	3	3	NRST													
7	4	4	P37	XTAL_OUT												
8	5	5	VSS													
9	6	6	P36	XTAL_IN				EXTAL								
10	7	7	VCC													
11	8	8	PE2		NMI/EIRQ0				EMB_IN3			USART1_CK				
12	-	-	PD7		EIRQ7							USART4_RX	SPI_NSS1	TMRA_1_TRIG		
13	9	-	PD6		EIRQ5			ADST		TMRA_5_PWM4	HALL_A	USART1_CTS	SPI_NSS0	TMRA_1_PWM2/ TMRA_1_CLKB		USART1_RTS_DE
14	10	-	PD5		EIRQ3					TMRA_5_PWM3	HALL_B	USART1_RX	SPI_MISO	TMRA_1_TRIG	I2C_SCL	
15	11	-	PD4		EIRQ2					TMRA_5_PWM2/ TMRA_5_CLKB	HALL_C	USART1_CK	SPI_SCK	TMRA_1_PWM1/ TMRA_1_CLKA		
16	12	-	PD3		EIRQ6			MCO		TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_3_TRIG	USART1_TX	SPI_MOSI	TMRA_1_PWM1/ TMRA_1_CLKA	I2C_SDA	
17	13	9	PB7		EIRQ5					TMRA_5_PWM3	TMRA_4_PWM2/ TMRA_4_CLKB	USART2_CK	SPI_SCK	TMRA_1_PWM2/ TMRA_1_CLKB	I2C_SCL	USART1_RX
18	14	10	PB6		EIRQ5			MCO	TMR4_ADSM	TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_3_PWM2/ TMRA_3_CLKB	USART2_RX	SPI_MISO	TMRA_1_PWM2/ TMRA_1_CLKB	I2C_SCL	USART1_TX
19	15	-	PB5		EIRQ6			ADTRG			TMRA_4_TRIG	USART2_TX	SPI_MOSI	TMRA_2_PWM2/ TMRA_2_CLKB	I2C_SDA	
20	-	-	VCC													
21	16	-	PB4		EIRQ3			ADTRG	EMB_IN2	TMRA_5_TRIG		USART4_CK		TMRA_1_PWM2/ TMRA_1_CLKB		
22	-	-	VSS													
23	17	11	PB3		EIRQ7			VCOUT	FCMREF	TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_4_TRIG	USART2_CK	SPI_SCK	TMRA_2_TRIG		USART4_CK
24	18	12	PB2		EIRQ6	SWDIO		MCO	TMR4_ADSM	TMRA_5_PWM2/ TMRA_5_CLKB	TMRA_4_PWM1/ TMRA_4_CLKA	USART2_TX	SPI_MOSI	TMRA_2_PWM2/ TMRA_2_CLKB	I2C_SDA	
25	19	13	PB1		EIRQ2	SWCLK			EMB_IN2	TMRA_5_PWM3	TMRA_3_PWM1/ TMRA_3_CLKA	USART2_RX	SPI_MISO	TMRA_5_PWM4	I2C_SCL	
26	20	14	PB0		EIRQ0			VCOUT1		TMRA_5_PWM4	TMRA_4_PWM1/ TMRA_4_CLKA	USART4_TX	SPI_MOSI	TMRA_1_PWM1/ TMRA_1_CLKA	I2C_SDA	
27	21	-	PA3	OPA3P	EIRQ3					TMRA_3_PWM2/ TMRA_3_CLKB	TMRA_4_PWM1/ TMRA_4_CLKA	USART4_CTS	SPI_NSS0	TMRA_2_PWM1/ TMRA_2_CLKA		USART4_RTS_DE
28	22	-	PA2	OPA3N	EIRQ4			VCOUT3	USART3_RTS_DE	TMRA_3_PWM1/ TMRA_3_CLKA	TMRA_4_PWM2/ TMRA_4_CLKB	USART2_CTS	SPI_NSS1	TMRA_2_PWM1/ TMRA_2_CLKA	USART3_CTS	USART2_RTS_DE
29	23	15	P94	OPA1P	EIRQ1			VCOUT2	FCMREF	TMRA_5_PWM3	TMRA_4_PWM2/ TMRA_4_CLKB	USART4_RX	SPI_MISO	TMRA_1_PWM2/ TMRA_1_CLKB	I2C_SCL	
30	24	16	P93	OPA1N	EIRQ0			ADTRG		TMRA_5_PWM2/ TMRA_5_CLKB	TMRA_3_PWM1/ TMRA_3_CLKA	USART2_CK	SPI_SCK	TMRA_1_TRIG		USART4_CK
31	-	-	P92		EIRQ1					TMRA_5_PWM6	TMRA_4_PWM1/ TMRA_4_CLKA		SPI_NSS2	TMRA_1_PWM2/ TMRA_1_CLKB		
32	-	-	P91		EIRQ0				TMR4_OXL	TMRA_5_PWM5		USART4_CTS	SPI_NSS3	TMRA_1_PWM2/ TMRA_1_CLKB		USART4_RTS_DE
33	25	17	P76		EIRQ6				TMR4_OWL	TMRA_5_PWM4	TMRA_3_TRIG	USART1_CTS			I2C_SDA	USART1_RTS_DE
34	26	18	P75		EIRQ7				TMR4_OVL	TMRA_5_PWM3	TMRA_3_TRIG	USART2_CTS			I2C_SCL	USART2_RTS_DE
35	27	19	P74		EIRQ4				TMR4_OUL	TMRA_5_PWM4	TMRA_3_PWM1/ TMRA_3_CLKA	USART3_CTS				USART3_RTS_DE
36	28	20	P73		EIRQ3			VCOUT	TMR4_OWH	TMRA_5_PWM3	TMRA_3_PWM2/ TMRA_3_CLKB	USART3_CK				
37	29	21	P72		EIRQ2				TMR4_OVH	TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_3_PWM2/ TMRA_3_CLKB	USART3_TX				
38	30	22	P71		EIRQ1				TMR4_OUH	TMRA_5_PWM2/ TMRA_5_CLKB	TMRA_3_PWM1/ TMRA_3_CLKA	USART3_RX				
39	31	-	P70	ADC_IN15	EIRQ5			MCO	EMB_IN1	TMRA_5_PWM6		USART4_TX				
40	-	-	P33		EIRQ7				TMR4_OXH	TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_3_PWM1/ TMRA_3_CLKA	USART4_RX	SPI_NSS3			
41	-	-	P32		EIRQ6				TMR4_PCT	TMRA_5_PWM3	TMRA_3_PWM2/ TMRA_3_CLKB		SPI_NSS2			
42	32	23	VCC													
43	-	-	P31		EIRQ1					TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_4_PWM1/ TMRA_4_CLKA		SPI_NSS1			
44	33	24	VSS													
45	-	-	P30		EIRQ0					TMRA_5_PWM2/ TMRA_5_CLKB	TMRA_4_PWM2/ TMRA_4_CLKB	USART4_CK	SPI_NSS0	TMRA_2_PWM2/ TMRA_2_CLKB		

LQFP64	LQFP48	LQFP32	Pin Name	Analog	EIRQ	SWD/TOOL0	Func0	Func1	Func2	Func3	Func4	Func5	Func6	Func7	Func8	Func9
							GPO	other	EMB/FCM/TMR4	TMRA	TMRA/HALL	USART	SPI	TMRA	I2C/USART	USART
46	34	-	P24	ADC_IN14	EIRQ3			VCOUT1	TMR4_CLK	TMRA_5_PWM6		USART3_RX	SPI_MISO	TMRA_2_PWM1/ TMRA_2_CLKA	I2C_SCL	
47	35	-	P23	ADC_IN13/OPA2P	EIRQ4			VCOUT2	FCMREF	TMRA_5_PWM5		USART3_TX	SPI_MOSI	TMRA_2_PWM1/ TMRA_2_CLKA	I2C_SDA	
48	36	-	P22	ADC_IN12/OPA2N	EIRQ2			VCOUT3	EMB_IN1	TMRA_5_PWM4		USART3_CK	SPI_SCK	TMRA_2_TRIG		
49	37	-	P47	ADC_IN7/CMP2_INP3/ CMP3_INP3/OPA2O												
50	38	-	P46	ADC_IN6/CMP1_INP3/ OPA3O												
51	39	-	P45	ADC_IN5/CMP3_INP2												
52	40	25	P44	ADC_IN4/CMP2_INP2/ OPA1O												
53	41	26	P43	ADC_IN3/CMP1_INP2												
54	42	27	P42	ADC_IN2/CMP3_INP1							HALL_A					
55	43	28	P41	ADC_IN1/CMP2_INP1							HALL_B					
56	44	29	P40	ADC_IN0/CMP1_INP1							HALL_C					
57	45	30	AVCC													
58	-	-	VREFH													
59	-	-	VREFL													
60	46	31	AVSS													
61	47	32	P11	ADC_IN8/CMP123_INM1/ DAC_OUT	EIRQ1				TMR4_PCT	TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_4_PWM1/ TMRA_4_CLKA			TMRA_2_PWM2/ TMRA_2_CLKB		
62	48	-	P10	ADC_IN9/CMP123_INM2	EIRQ0					TMRA_5_PWM1/ TMRA_5_CLKA	TMRA_4_PWM2/ TMRA_4_CLKB	USART1_TX		TMRA_2_TRIG		
63	-	-	PA5	ADC_IN10	EIRQ5					TMRA_5_PWM2/ TMRA_5_CLKB	TMRA_3_PWM1/ TMRA_3_CLKA	USART1_RX	SPI_MISO	TMRA_2_PWM2/ TMRA_2_CLKB		
64	-	-	PA4	ADC_IN11	EIRQ4			ADTRG		TMRA_5_TRIG	TMRA_3_PWM2/ TMRA_3_CLKB		SPI_SCK	TMRA_2_PWM2/ TMRA_2_CLKB		

表 3-2 端口配置

Package	Port Group	Bits								Pin Count Total	
		7	6	5	4	3	2	1	0		
LQFP64	Port0	-	-	-	-	-	0	0	0	3	52
	Port1	-	-	-	-	-	-	0	0	2	
	Port2	-	-	-	0	0	0	-	-	3	
	Port3	0	0	-	-	0	0	0	0	6	
	Port4	0	0	0	0	0	0	0	0	8	
	Port5	-	-	-	-	-	-	-	0	1	
	Port7	-	0	0	0	0	0	0	0	7	
	Port9	-	-	-	0	0	0	0	-	4	
	PortA	-	-	0	0	0	0	-	-	4	
	PortB	0	0	0	0	0	0	0	0	8	
	PortD	0	0	0	0	0	-	-	-	5	
LQFP48	PortE	-	-	-	-	-	0	-	-	1	40
	Port1	-	-	-	-	-	-	0	0	2	
	Port2	-	-	-	0	0	0	-	-	3	
	Port3	0	0	-	-	-	-	-	-	2	
	Port4	0	0	0	0	0	0	0	0	8	
	Port5	-	-	-	-	-	-	-	0	1	
	Port7	-	0	0	0	0	0	0	0	7	
	Port9	-	-	-	0	0	-	-	-	2	
	PortA	-	-	-	-	0	0	-	-	2	
	PortB	0	0	0	0	0	0	0	0	8	
	PortD	-	0	0	0	0	-	-	-	4	
LQFP32	PortE	-	-	-	-	-	0	-	-	1	24
	Port1	-	-	-	-	-	-	0	-	1	
	Port3	0	0	-	-	-	-	-	-	2	

Package	Port Group	Bits								Pin Count Total	
		7	6	5	4	3	2	1	0		
LQFP32	Port4	-	-	-	0	0	0	0	0	5	24
	Port5	-	-	-	-	-	-	-	0	1	
	Port7	-	0	0	0	0	0	0	-	6	
	Port9	-	-	-	0	0	-	-	-	2	
	PortB	0	0	-	-	0	0	0	0	6	
	PortE	-	-	-	-	-	0	-	-	1	

表 3-3 通用功能规格

Port		上拉	开漏输出	驱动能力
Port0	P00~P02	支持	支持	低/高
Port1	P10~P11	支持	支持	低/高
Port2	P22~P24	支持	支持	低/高
Port3	P30~P33, P36~P37	支持	支持	低/高
Port4	P40~P47	支持	支持	低/高
Port5	P50	支持	支持	低/高
Port7	P70~P76	支持	支持	低/高
Port9	P91~P94	支持	支持	低/高
PortA	PA2~PA5	支持	支持	低/高
PortB	PB0~PB7	支持	支持	低/高
PortD	PD3~PD7	支持	支持	低/高
PortE	PE2	支持	支持	低/高



说明

用作模拟功能时，输入电压不得高于 VREFH/AVCC。

3.3 引脚功能说明

表 3-4 引脚功能说明

类别	功能名	I/O	说明
Power	VCC	I	电源
	VSS	I	电源地
	VCL/REGC	IO	内核电压
	AVCC/VREFH	I	模拟电源/模拟参考电压
	AVSS/VREFL	I	模拟电源地/模拟参考电压
System	NRST	I	复位端子，低有效。有内置上拉电阻 ⁽¹⁾
	MD	I	模式端子。有内置上拉电阻 ⁽¹⁾
PVD	PVD2EXINP	I	PVD2 外部输入比较电压
Clock	XTAL_OUT	O	外部主时钟振荡器接口
	XTAL_IN	I	外部主时钟振荡器接口
	EXTAL	I	XTAL 外部时钟输入
	MCO	O	内部时钟输出
GPIO	Pxy(x=0~5,7,9,A,B,D,E y=0~7)	IO	通用输入输出
EIRQ	EIRQx(x=0~7)	I	可屏蔽外部中断
	NMI	I	不可屏蔽外部中断
SWD	SWCLK	I	在线调试接口。有内置上拉电阻 ⁽¹⁾
	SWDIO	IO	
TOOL0	TOOL0	IO	单线调试接口
FCM	FCMREF	I	时钟频率计测用外部基准时钟输入
Timer4	TMR4_CLK	I	计数时钟端口输入
	TMR4_OUH	IO	PWM 端口 U 相输出
	TMR4_OUL	IO	PWM 端口 U 相输出
	TMR4_OVH	IO	PWM 端口 V 相输出
	TMR4_OVL	IO	PWM 端口 V 相输出
	TMR4_OWH	IO	PWM 端口 W 相输出
	TMR4_OWL	IO	PWM 端口 W 相输出
	TMR4_OXH	IO	PWM 端口 X 相输出
	TMR4_OXL	IO	PWM 端口 X 相输出

类别	功能名	I/O	说明
Timer4	TMR4_ADSM	O	专用事件输出监测
	TMR4_PCT	O	PWM 周期输出监测
TimerA	TMRA_x_TRIG(x=1~5)	I	外部事件触发输入
	TMRA_x_PWM1/TMRA_x_CLKA(x=1~5)	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TMRA_x_PWM2/TMRA_x_CLKB(x=1~5)	IO	外部事件触发输入或 PWM 端口输出或计数时钟端口输入
	TMRA_x_PWM _y (x=5 y=3~6)	IO	外部事件触发输入或 PWM 端口输出
EMB	EMB_INx(x=1~3)	I	端口输入控制信号
HALL	HALL_x(x=A,B,C)	I	霍尔信号输入
USART	USARTx_TX(x=1~4)	IO	发送数据
	USARTx_RX(x=1~4)	IO	接收数据
	USARTx_CK(x=1~4)	IO	通信时钟
	USARTx_RTS_DE(x=1~4)	O	请求发送信号/Driver Enable
	USARTx_CTS(x=1~4)	I	清除发送信号
SPI	SPI_MISO	IO	主输入/从输出数据传输引脚
	SPI_MOSI	IO	主输出/从输入数据传输引脚
	SPI_SCK	IO	传输时钟
	SPI_NSS0	IO	从机选择输入输出引脚
	SPI_NSS _y (y=1~3)	O	从机选择输出引脚
I2C	I2C_SCL	IO	时钟线
	I2C_SDA	IO	数据线
CMP	VCOUT1	O	CMP1 结果输出
	VCOUT2	O	CMP2 结果输出
	VCOUT3	O	CMP3 结果输出
	VCOUT	O	CMP1~3 结果 OR 输出
	CMPx_INPy(x=1~3 y=1~3)	I	CMP1~3 正端模拟输入
	CMP123_INMy(y=1~2)	I	CMP1~3 负端模拟输入

类别	功能名	I/O	说明
ADC	ADTRG	I	ADC AD 转换外部启动源
	ADST	O	ADC 转换动作状态
	ADC_INx(x=0~15)	I	ADC 外部模拟输入端口
DAC	DAC_OUT	O	DAC 模拟输出
OPA	OPAxO(x=1~3)	O	OPA 输出
	OPAxP(x=1~3)	I	OPA 正端输入
	OPAxN(x=1~3)	I	OPA 负端输入



说明

1. 内置上拉电阻的阻值请参考“电气特性-I/O 端口特性”相关描述。

3.4 引脚使用说明

表 3-5 引脚使用说明

引脚名	使用说明
VCC	电源，接 2.7V~5.5V 电压，并就近与 VSS 引脚接去耦电容（参考“电气特性”）
VSS	电源地，接 0V
VCL/REGC	内核电压，就近与 VSS 引脚接电容，以稳定内核电压（参考“电气特性”）
AVCC	模拟电源，给模拟模块供电，接与 VCC 相同电源（参考“电气特性”） 不使用独立的模拟电源时，请与 VCC 短接，禁止悬空
AVSS	模拟电源地，给模拟模块供电，接与 VSS 相同电压（参考“电气特性”） 不使用独立的模拟电源时，请与 VSS 短接，禁止悬空
VREFL	模拟参考电压，接与 AVSS 相同电压，推荐与 AVSS 短接（参考“电气特性”） 不使用时请与 AVSS 短接，禁止悬空
VREFH	模拟参考电压，接不高于 AVCC 的电压，推荐与 AVCC 短接 不使用时请与 AVCC 短接，禁止悬空
P50/MD	模式输入。复位引脚（NRST）解除（从低电平变为高电平）时，本管脚必须固定为高电平。推荐接电阻（4.7kΩ）到 VCC（上拉）
NRST	复位引脚，低有效。不使用时接电阻到 VCC（上拉）
Pxy (x=0~5,7,9,A,B,D,E y=0~7)	通用引脚。输入电压不要超过 VCC。用作模拟输入时，模拟电压不要超过 VREFH/AVCC 不使用时悬空，或者接电阻到 VCC（上拉）/VSS（下拉）

4 电气特性

4.1 参数条件

若无另行说明，所有电压的都以 VSS 为基准。

4.1.1 最小值和最大值

所有最小值和最大值在最坏的条件下测得。

在每个表格下方的注解中说明为通过设计保证、综合评估得出的数据，不会在生产线上进行测试。

4.1.2 典型数值

除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ 和 $V_{CC}=5.0\text{V}$ 给出的。这些数据仅用于设计指导，并未经过测试。

4.1.3 典型曲线

除非特别说明，否则所有典型曲线未经测试，仅供设计参考。

4.1.4 负载电容

图 4-1（左）中显示了用于测量引脚参数的负载条件。

4.1.5 引脚输入电压

图 4-1（右）中显示了器件引脚上输入电压的测量方法。

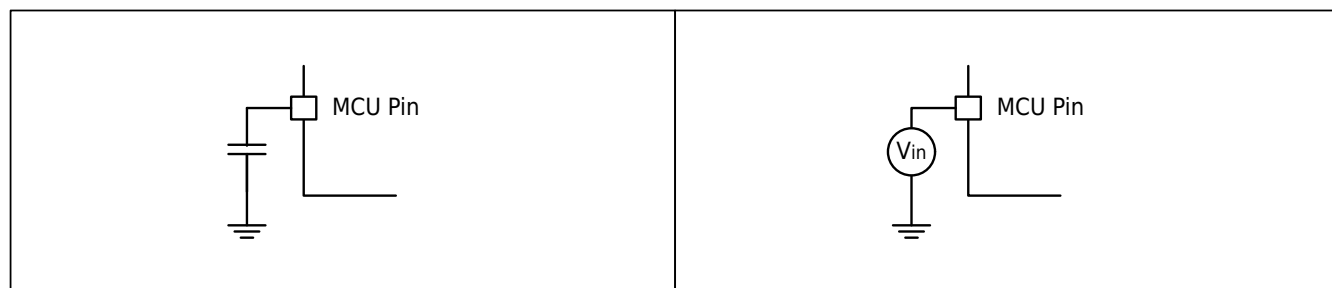


图 4-1 引脚负载条件（左）与输入电压测量（右）

4.1.6 电源方案

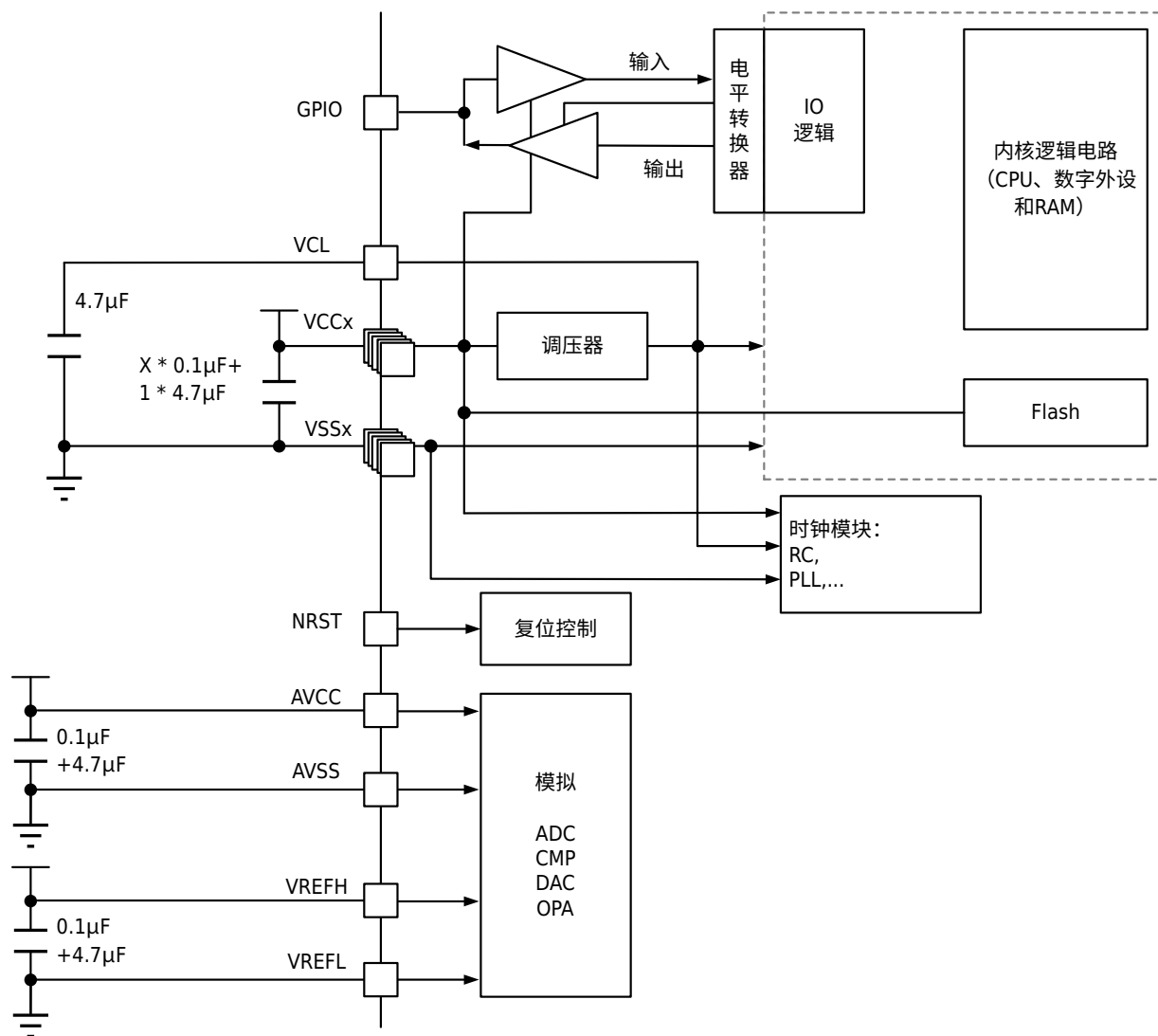


图 4-2 电源方案



注意

1. 4.7μF 陶瓷电容必须连至 VCC 引脚之一。
2. AVSS=VSS。
3. 每个电源对（例如 VCC/VSS，AVCC/AVSS...）必须使用上述的滤波陶瓷电容去耦。这些电容必须尽量靠近或低于 PCB 下面的适当引脚，以确保器件正常工作。不建议去掉滤波电容来降低 PCB 尺寸或成本，这可能导致器件工作不正常。
4. LQFP64 封装下 VREFH 和 VREFL 可用，其他封装下使用 AVCC 和 AVSS 管脚分别代替 VREFH 和 VREFL。

4.1.7 电流消耗测量

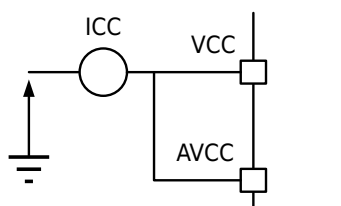


图 4-3 电流消耗测量方案

4.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 4-1 电压电流特性

符号	描述	最小值	最大值	单位
$V_{CC}-V_{SS}$	外部主电源电压（包括 AVCC、VCC） ⁽¹⁾	-0.3	5.8	V
V_{IN}	其他引脚上的输入电压 ⁽²⁾	$V_{SS}-0.3$	$V_{CC}+0.3$	V
$ V_{SSx}-V_{SS} $	不同接地引脚之间的电压差	-	50	mV
$\sum I_{VCC}$	流入所有 VCC _x 电源线的总电流（拉电流） ⁽¹⁾	-	100	mA
$\sum I_{VSS}$	流出所有 VSS _x 接地线的总电流（灌电流） ⁽¹⁾	-	-100	mA
I_{VCC}	流入每个 VCC _x 电源线的最大电流（拉电流） ⁽¹⁾	-	50	mA
I_{VSS}	流出每个 VSS _x 接地线的最大电流（灌电流） ⁽¹⁾	-	-50	mA
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	-	16	mA
	任意 I/O 和控制引脚上的输出拉电流	-	-16	mA
$\sum I_{IO}$	所有 I/O 和控制引脚上的总输出灌电流 ⁽³⁾	-	50	mA
	所有 I/O 和控制引脚上的总输出拉电流 ⁽³⁾	-	-50	mA

说明

1. 在允许的范围内，所有主电源（VCC、AVCC）和接地（VSS、AVSS）引脚必须始终连接到外部电源。

2. 必须始终遵循 V_{IN} 的最大值。

3. 此总输出电流必须正确分布在所有电源域内。

表 4-2 温度特性

符号	描述	数值	单位
T_{STG}	储存温度范围	-65~+150	°C
T_{Jmax}	最大结温度	125	°C

4.3 工作条件

4.3.1 通用工作条件

表 4-3 通用工作条件

符号	参数	条件	最小值	典型值	最大值	单位
f _{HCLK}	内部 AHB 时钟频率	-	-	-	120	MHz
V _{CC} ⁽¹⁾	标准工作电压	-	2.7	-	5.5	V
V _{AVCC} ⁽¹⁾	模拟工作电压	-	V _{CC}	-	5.5	V
T _J ⁽¹⁾	结温范围	-	-40	-	125	°C
T _A ⁽¹⁾	工作温度范围	-	-40	-	105	°C



说明

1. 由综合评估得出，不在生产中测试。

4.3.2 上电和掉电时的工作条件

表 4-4 上电/掉电时的工作条件

符号	参数	最小值	最大值	单位
t _{VCC} ⁽¹⁾⁽²⁾	VCC 上升时间速率	20	1000000	μs/V
	VCC 下降时间速率	20	1000000	



说明

1. 由综合评估得出，不在生产中测试。

2. VCC 和 AVCC 需要同步上电或先 AVCC 上电再 VCC 上电。VCC 和 AVCC 需要同步下电。

4.3.3 复位和电源控制模块特性

表 4-5 复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{BOR}	BOR 的监测电压	ICG1.BOR_LEV=0b00	2.4	2.50	2.65	V
		ICG1.BOR_LEV=0b01 ⁽¹⁾	2.65	2.80	2.95	V
		ICG1.BOR_LEV=0b10 ⁽¹⁾	3.40	3.55	3.70	V
		ICG1.BOR_LEV=0b11	3.70	3.85	4.00	V
V _{PVD1}	PVD1 监测电压 ⁽³⁾	PVD1LVL=0b0000	2.4	2.5	2.65	V
		PVD1LVL=0b0001 ⁽¹⁾	2.5	2.65	2.80	V
		PVD1LVL=0b0010 ⁽¹⁾	2.65	2.80	2.95	V
		PVD1LVL=0b0011 ⁽¹⁾	2.80	2.95	3.10	V
		PVD1LVL=0b0100 ⁽¹⁾	2.95	3.10	3.25	V
		PVD1LVL=0b0101 ⁽¹⁾	3.10	3.25	3.40	V
		PVD1LVL=0b0110 ⁽¹⁾	3.25	3.40	3.55	V
		PVD1LVL=0b0111	3.40	3.55	3.70	V

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD1}	PVD1 监测电压 ⁽³⁾	PVD1LVL=0b1000 ⁽¹⁾	3.55	3.70	3.85	V
		PVD1LVL=0b1001 ⁽¹⁾	3.70	3.85	4.00	V
		PVD1LVL=0b1010 ⁽¹⁾	3.85	4.00	4.15	V
		PVD1LVL=0b1011 ⁽¹⁾	4.00	4.15	4.30	V
		PVD1LVL=0b1100 ⁽¹⁾	4.15	4.30	4.45	V
		PVD1LVL=0b1101 ⁽¹⁾	4.30	4.45	4.60	V
		PVD1LVL=0b1110 ⁽¹⁾	4.45	4.60	4.75	V
		PVD1LVL=0b1111 ⁽¹⁾	4.60	4.75	4.90	V
V _{PVD2}	PVD2 监测电压 ⁽³⁾	PVD2LVL=0b0000	2.4	2.5	2.65	V
		PVD2LVL=0b0001 ⁽¹⁾	2.5	2.65	2.80	V
		PVD2LVL=0b0010 ⁽¹⁾	2.65	2.80	2.95	V
		PVD2LVL=0b0011 ⁽¹⁾	2.80	2.95	3.10	V
		PVD2LVL=0b0100 ⁽¹⁾	2.95	3.10	3.25	V
		PVD2LVL=0b0101 ⁽¹⁾	3.10	3.25	3.40	V
		PVD2LVL=0b0110	3.25	3.40	3.55	V
		PVD2LVL=0b0111 ⁽¹⁾	3.40	3.55	3.70	V
		PVD2LVL=0b1000 ⁽¹⁾	3.55	3.70	3.85	V
		PVD2LVL=0b1001 ⁽¹⁾	3.70	3.85	4.00	V
		PVD2LVL=0b1010 ⁽¹⁾	3.85	4.00	4.15	V
		PVD2LVL=0b1011 ⁽¹⁾	4.00	4.15	4.30	V
		PVD2LVL=0b1100 ⁽¹⁾	4.15	4.30	4.45	V
		PVD2LVL=0b1101 ⁽¹⁾	4.30	4.45	4.60	V
		PVD2LVL=0b1110 ⁽¹⁾	4.45	4.60	4.75	V
		PVD2LVL=0b1111	4.60	4.75	4.90	V
V _{pvdhyst} ⁽¹⁾	PVD1/2 的迟滞 ⁽⁴⁾	-	-	70	-	mV
V _{POR}	上电复位阈值	上升沿 VPOR	-	2.25	-	V
		下降沿 VPDR	-	2.15	-	V
V _{PORhyst} ⁽¹⁾	POR 迟滞	-	-	100	-	mV
I _{RUSH} ⁽¹⁾	调压器上电时的浪涌电流 (POR)	-	-	150	300	mA
T _{NRST} ⁽¹⁾	NRST 复位最低宽度	-	10	-	-	μs
T _{IPVD1} ⁽²⁾	PVD1 复位解除时间	-	-	380	-	μs
T _{IPVD2} ⁽²⁾	PVD2 复位解除时间	-	-	380	-	μs
T _{INRST} ⁽²⁾	NRST 复位解除时间	-	-	380	-	μs
T _{RIPT} ⁽²⁾	内部复位时间	-	-	380	-	μs

符号	参数	条件	最小值	典型值	最大值	单位
$T_{RSTBOR}^{(2)}$	BOR 复位解除时间	-	-	380	-	μs
$T_{RSTPOR}^{(2)}$	上电复位解除时间	-	-	2500	3000	μs

 **说明**

1. 由综合评估得出，不在生产中测试。

2. 由设计保证，不在生产中测试。

3. PVD1 监测电压是 VCC 电压下降时的监测电压；PVD2 监测电压是 VCC 电压下降时的监测电压或 PVD2EXINP 电压下降时的监测电压。

4. PVD1/2 的迟滞是 VCC 或 PVD2EXINP 上升时的监测电压与下降时的监测电压的差值。
VCC 上升时的 PVD1 监测电压= $V_{PVD1}+V_{pvd}hyst$ ；
VCC 或 PVD2EXINP 上升时的 PVD2 监测电压= $V_{PVD2}+V_{pvd}hyst$ 。

5. PVD2EXINP 电压需确保小于芯片供电电压。

4.3.4 内置的参考电压

表 4-6 内置的参考电压

符号	参数	条件	最小值	典型值	最大值	单位
$V_{REF12}^{(1)}$	内部 1.2V 参考电压	$T_A=-40\sim105^{\circ}C$ $V_{CC}=2.7\sim5.5V$	1.17	1.20	1.23	V
V_{REF25}	内部 2.5V 参考电压	$T_A=-40\sim105^{\circ}C$ $V_{CC}=2.7\sim5.5V$	2.425	2.50	2.575	V
V_{REF42}	内部 4.2V 参考电压	$T_A=-40\sim105^{\circ}C$ $V_{CC}=4.5\sim5.5V$	4.074	4.20	4.326	V

 **说明**

1. 由设计保证，不在生产中测试。

4.3.5 供电电流特性

电流消耗受多个参数和因素影响，其中包括工作电压、环境温度、I/O 引脚负载、器件软件配置、工作频率、I/O 引脚开关速率、程序在存储器中的位置以及运行的代码等。

图 4-3 介绍了电流消耗的测量方法。本节所述各种模式下的电流消耗测量值都是在实验室条件下通过一套运行在 FLASH 的测试代码得出。

具体条件如下：

- 1. 所有 I/O 引脚都处于高阻模式（无负载）。
- 2. 时钟频率选择高速模式 $f_{HCLK}=120\text{MHz}/24\text{MHz}$ 和超低速模式 $f_{HCLK}=8\text{MHz}/1\text{MHz}$ 。
- 3. 功耗模式分为：正常工作模式 ICC_RUN、休眠模式 ICC_SLEEP、停止模式 ICC_STP、Dhrystone 工作模式 ICC_DHRYSTONE。
- 4. 外设时钟 ON/OFF 请参考具体电流条件说明。
- 5. 高速模式 $f_{HCLK}=120\text{MHz}$ 下 PLL 处于开启状态。

表 4-7 高速模式电流消耗 1

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	9.1	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	13.9	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=5.0\text{V}$	-	10.0	-	mA
	CACHE ON		-	11.0	-	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	5.1	-	mA
	全模块时钟 ON		-	9.8	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	4.2	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	14.0	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=5.0\text{V}$	-	10.2	-	mA
	CACHE ON		-	11.2	-	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	5.2	-	mA
	全模块时钟 ON		-	10.0	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	-	12	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	17	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	13	mA
	CACHE ON		-	-	13	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	-	8	mA
	全模块时钟 ON		-	-	13	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=120\text{MHz}$	-	-	14	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	19	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	15	mA
	CACHE ON		-	-	15	mA
ICC_SLEEP	全模块时钟 OFF		-	-	10	mA
	全模块时钟 ON		-	-	15	mA

 说明

- 1. 由综合评估得出，不在生产中测试。

表 4-8 高速模式电流消耗 2⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	4.1	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	5.3	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=5.0\text{V}$	-	4.9	-	mA
ICC_SLEEP	全模块时钟 OFF		-	2.1	-	mA
	全模块时钟 ON		-	3.2	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	4.2	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	5.4	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=5.0\text{V}$	-	5.0	-	mA
ICC_SLEEP	全模块时钟 OFF		-	2.2	-	mA
	全模块时钟 ON		-	3.4	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	-	7	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	8.6	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	8.1	mA
ICC_SLEEP	全模块时钟 OFF		-	-	4.8	mA
	全模块时钟 ON		-	-	6.4	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=24\text{MHz}$	-	-	8	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	10	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	9	mA
ICC_SLEEP	全模块时钟 OFF		-	-	7.5	mA
	全模块时钟 ON		-	-	9.5	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-9 超低速模式电流消耗 1

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	1.8	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	2.3	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=5.0\text{V}$	-	2.0	-	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	0.5	-	mA
	全模块时钟 ON		-	1.0	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	1.9	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	2.4	-	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=5.0\text{V}$	-	2.0	-	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	0.6	-	mA
	全模块时钟 ON		-	1.1	-	mA
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	-	4.4	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	6	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	5.5	mA
ICC_SLEEP ⁽¹⁾	全模块时钟 OFF		-	-	4	mA
	全模块时钟 ON		-	-	5.2	mA

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN ⁽¹⁾	while(1),全模块时钟 OFF	$f_{HCLK}=8\text{MHz}$	-	-	7	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	9	mA
ICC_DHRYSTONE ⁽¹⁾	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	8.5	mA
ICC_SLEEP	全模块时钟 OFF		-	-	5.5	mA
	全模块时钟 ON		-	-	8.3	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-10 超低速模式电流消耗 2⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	0.6	-	mA
	while(1),全模块时钟 ON	$T_A=-40^{\circ}\text{C}$	-	0.8	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=5.0\text{V}$	-	0.7	-	mA
ICC_SLEEP	全模块时钟 OFF		-	0.4	-	mA
	全模块时钟 ON		-	0.6	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	0.7	-	mA
	while(1),全模块时钟 ON	$T_A=25^{\circ}\text{C}$	-	0.9	-	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=5.0\text{V}$	-	0.7	-	mA
ICC_SLEEP	全模块时钟 OFF		-	0.4	-	mA
	全模块时钟 ON		-	0.6	-	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	-	2.2	mA
	while(1),全模块时钟 ON	$T_A=85^{\circ}\text{C}$	-	-	2.6	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	2.3	mA
ICC_SLEEP	全模块时钟 OFF		-	-	1.9	mA
	全模块时钟 ON		-	-	2.3	mA
ICC_RUN	while(1),全模块时钟 OFF	$f_{HCLK}=1\text{MHz}$	-	-	2.9	mA
	while(1),全模块时钟 ON	$T_A=105^{\circ}\text{C}$	-	-	3.3	mA
ICC_DHRYSTONE	CACHE OFF	$V_{CC}=2.7\sim 5.5\text{V}$	-	-	3	mA
ICC_SLEEP	全模块时钟 OFF		-	-	2.6	mA
	全模块时钟 ON		-	-	2.6	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-11 低功耗模式电流消耗⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_STP (停止模式)	-	T _A =-40℃ V _{CC} =5.0V	-	33	-	μA
	-	T _A =25℃ V _{CC} =5.0V	-	56	-	μA
	-	T _A =85℃ V _{CC} =2.7~5.5V	-	-	1.9	mA
	-	T _A =105℃ V _{CC} =2.7~5.5V	-	-	3.9	mA



说明

1. 由综合评估得出，不在生产中测试。

表 4-12 模拟模块电流消耗⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
ICC_MODULE	XTAL 振荡模式高驱动 24MHz	T _A =25℃ V _{CC} =V _{AVCC} =5.0V	-	1.8	-	mA
	振荡模式超小驱动 4MHz		-	0.15	-	mA
	HRC		-	0.16	-	mA
	PLL (VCO=480MHz)		-	1.18	-	mA
	ADC		-	0.92	-	mA
	DAC		-	0.20	-	mA
	CMP		-	0.18	-	mA
	OPA		-	0.7	-	mA



说明

1. 由综合评估得出，不在生产中测试。

4.3.6 低功耗模式唤醒时序

唤醒时间测量方法为，从唤醒事件触发至 CPU 执行的第一条指令：

- 对于停止或睡眠模式：唤醒事件为 WFE。
- 所有时序均在环境温度及 V_{CC}=5.0V 测试得出。

表 4-13 低功耗模式唤醒时间⁽¹⁾

符号	参数	条件	典型值	最大值	单位
T _{STOP}	从停止模式唤醒	系统时钟为 MRC	8	15	μs



说明

1. 由综合评估得出，不在生产中测试。

4.3.7 外部时钟源特性

4.3.7.1 外部源产生的高速外部用户时钟

在旁路模式，XTAL 振荡器关闭，输入引脚为标准 I/O。外部时钟信号必须考虑 I/O 静态特性。

表 4-14 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{EXTAL}	用户外部时钟源频率	-	1 ⁽¹⁾	-	24	MHz
$V_{IH_XTAL}^{(1)}$	EXTAL 输入引脚高电平电压	-	$0.7 \cdot V_{CC}$	-	V_{CC}	V
$V_{IL_XTAL}^{(1)}$	EXTAL 输入引脚低电平电压	-	V_{SS}	-	$0.3 \cdot V_{CC}$	V
$t_{r(EXTAL)}^{(1)}$ $t_{f(EXTAL)}^{(1)}$	EXTAL 上升或下降时间	-	-	-	20	ns
$Duty_{(XTAL)}^{(1)}$	占空比	-	40	-	60	%



说明

1. 由综合评估得出，不在生产中测试。

4.3.7.2 晶振/陶瓷谐振器产生的高速外部时钟

高速外部时钟（XTAL）可以使用一个 4~24MHz 的晶振/陶瓷谐振振荡器产生。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以尽量减小输出失真和起振稳定时间。有关谐振器特性（频率、封装、精度等）的详细信息，请咨询晶振谐振器制造商。

表 4-15 XTAL 4~24MHz 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{XTAL_IN}^{(1)}$	振荡器频率	-	4	-	24	MHz
R_F	反馈电阻	-	-	0.6	-	MΩ
$G_{mmax}^{(2)}$	振荡器 Gm	起振	0.36	-	-	mA/V
$t_{SU(XTAL)}^{(1)(4)}$	启动时间	V_{CC} 稳定，晶振=24MHz	-	300	-	μs
		V_{CC} 稳定，晶振=4MHz	-	3	-	ms



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 此参数取决于应用系统上使用到的谐振器。
4. $t_{SU(XTAL)}$ 是起振时间，即从软件使能 XTAL 开始测量，直至得到稳定的振荡频率这段时间。该值基于标准晶振谐振器测得，可能随晶振制造商的不同而显著不同。

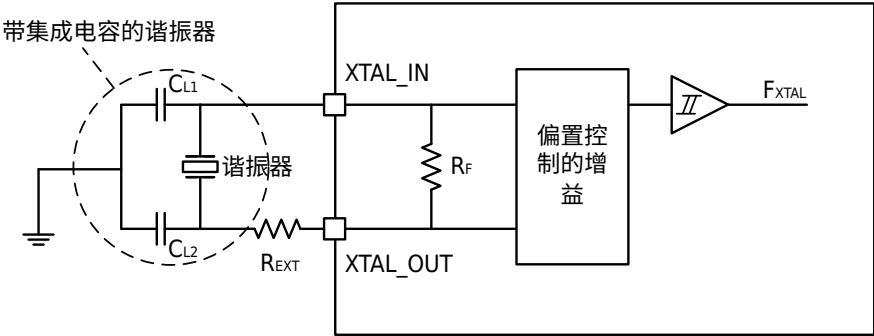


图 4-4 采用 8MHz 晶振的典型应用



说明

- 对于 C_{L1} 和 C_{L2} ，建议使用专为高频应用设计、可满足晶振或谐振器要求的高质量外部陶瓷电容（请参见上图）。 C_{L1} 和 C_{L2} 的大小通常相同， $C_{L1}=C_{L2}=2*(C_L-C_S)$ 。 C_S 是 PCB 与 MCU 引脚（XTAL_IN、XTAL_OUT）之间的寄生电容总和。 C_L 为晶振或陶瓷谐振器的负载电容，请咨询晶振谐振器制造商。
- 阻尼电阻 R_{EXT} 的取值取决于晶振特性。

4.3.8 内部时钟源特性

4.3.8.1 内部高速（HRC）振荡器

表 4-16 HRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HRC}	频率 ⁽²⁾	-	-	12	-	MHz
	频率精度 ⁽¹⁾	$T_A=-40\sim105^{\circ}\text{C}$	-1	-	1	%
		$T_A=25^{\circ}\text{C}$	-0.5	-	0.5	%
$t_{st(HRC)}^{(2)}$	HRC 振荡器振荡稳定时间	-	-	8	-	μs



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。

4.3.8.2 内部中速（MRC）振荡器

表 4-17 MRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{MRC}	频率	-	7.2	8	8.8	MHz
$t_{st(MRC)}$	MRC 振荡器稳定时间	-	-	-	15	μs

4.3.8.3 内部低速（LRC）振荡器

表 4-18 LRC 振荡器特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LRC}	频率	-	29.5	32.768	36.0	kHz
$t_{st(LRC)}$	LRC 振荡器稳定时间	-	-	-	100	μs

4.3.9 PLL 特性

表 4-19 系统 PLL (PLL) 主要性能指标

符号	参数	条件	最小值	典型值	最大值	单位
$f_{\text{PLL_IN}}^{(2)}$	PLL 鉴相鉴频器 (PFD) 的输入时钟	-	4	-	8	MHz
$f_{\text{PLL_OUT}}^{(1)}$	PLL 倍增器的输出时钟	-	20	-	120	MHz
$f_{\text{VCO_OUT}}$	PLL 压控振荡器 (VCO) 的输出	-	320	-	480	MHz
$\text{Jitter}_{\text{PLL}}^{(1)}$	周期抖动	PLL PFD 输入时钟为 8MHz, 系统时钟为 120MHz, 峰峰值	-	± 70	-	ps
	相邻周期间抖动	PLL PFD 输入时钟为 8MHz, 系统时钟为 120MHz, 峰峰值	-	± 100	-	ps
$t_{\text{LOCK}}^{(1)}$	PLL 锁定时间	-	-	50	80	μs



说明

1. 由综合评估得出, 不在生产中测试。
2. 推荐使用较高的输入时钟, 以获得良好的抖动特性。

4.3.10 存储器 (闪存) 特性

器件交付给客户时, 闪存已被擦除。

表 4-20 闪存特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
I_{VCC}	供电电流	读模式, $V_{\text{CC}}=2.7\sim 5.5\text{V}$	-	-	5	mA
		编程模式, $V_{\text{CC}}=2.7\sim 5.5\text{V}$	-	-	10	mA
		块擦除模式, $V_{\text{CC}}=2.7\sim 5.5\text{V}$	-	-	10	mA
		全擦除模式, $V_{\text{CC}}=2.7\sim 5.5\text{V}$	-	-	10	mA



说明

1. 由设计保证, 不在生产中测试。

表 4-21 闪存编程擦除时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
T_{prog}	字节编程时间	单编程模式	-	168	-	μs
	字编程时间	单编程模式	-	178	-	μs
T_{erase}	块擦除时间	-	-	2.6	-	ms
T_{mas}	全擦除时间	-	-	38	-	ms



说明

1. 由设计保证, 不在生产中测试。

表 4-22 闪存可擦写次数和数据保存期限⁽¹⁾

符号	参数	条件	最小值	典型值	单位
N_{END}	编程、块擦除次数	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-	100000	次
T_{RET}	数据保存期限	20 kcycles at $T_A = 85^{\circ}\text{C}$	10	-	年



说明

1. 由综合评估得出，不在生产中测试。

4.3.11 I/O 端口特性

常规输入/输出特性

表 4-23 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	Schmitt 输入低电平	除 NRST 引脚	-	-	$0.3V_{CC}$	V
		NRST 引脚	-	-	$0.2V_{CC}$	V
V_{IH}	Schmitt 输入高电平	除 NRST 引脚	$0.7V_{CC}$	-	-	V
		NRST 引脚	$0.8V_{CC}$	-	-	V
$V_{HYS}^{(1)}$	Schmitt 输入迟滞	-	$0.1V_{CC}$	-	-	V
V_{IL}	CMOS 输入低电平	-	-	-	$0.3V_{CC}$	V
V_{IH}	CMOS 输入高电平	-	$0.7V_{CC}$	-	-	V
I_{LKG}	I/O 输入泄露电流	$V_{SS} \leq V_{IN} \leq V_{CC}$	-	-	1	μA
$R_{PU}^{(3)}$	弱上拉 等效电阻	$V_{IN} = V_{SS}$ $2.7 \leq V_{CC} \leq 5.5$	20	55	100	k Ω
$C_{IO}^{(2)}$	I/O 引脚电容	-	-	-	10	pF



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。
3. 要使电压保持在高于 $V_{CC} + 0.3\text{V}$ ，必须禁止内部上拉电阻。

输出电流

GPIO（通用输入/输出）可提供最大 $\pm 16\text{mA}$ 的拉电流或灌电流。

输出电压

表 4-24 输出电压特性

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$V_{OL}^{(1)(3)}$	低电平输出	$I_{IO} = \pm 4\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)(3)}$	高电平输出	$V_{CC} = 3.3\text{V}$	$V_{CC} - 0.9$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO} = \pm 8\text{mA}$	-	-	0.6	V
	$V_{OH}^{(2)}$	高电平输出	$V_{CC} = 5\text{V}$	$V_{CC} - 0.9$	-	-	V

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
高驱动	$V_{OL}^{(1)(3)}$	低电平输出	$I_{IO}=\pm 8\text{mA}$	-	-	0.4	V
	$V_{OH}^{(2)(3)}$	高电平输出	$V_{CC}=3.3\text{V}$	$V_{CC}-0.9$	-	-	V
	$V_{OL}^{(1)}$	低电平输出	$I_{IO}=\pm 16\text{mA}$	-	-	0.6	V
	$V_{OH}^{(2)}$	高电平输出	$V_{CC}=5\text{V}$	$V_{CC}-0.9$	-	-	V

 **说明**

1. 器件的 I_{IO} 灌电流必须一直考虑表 4-1 中规定的绝对最大额定。 I_{IO} （I/O 端口和控制引脚）之和一定不能超过 I_{VSSO}

2. 器件的 I_{IO} 拉电流必须始终遵循表 4-1 所列的绝对最大额定值， I_{IO} （I/O 端口和控制引脚）的总和不得超过 I_{VCCO}

3. 由综合评估得出，不在生产中测试。

输入/输出交流特性

表 4-25 I/O 交流特性⁽¹⁾

驱动设置	符号	参数	条件	最小值	典型值	最大值	单位
低驱动	$f_{\max(\text{IO})\text{out}}^{(2)}$	最大频率	$C_L=25\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	45	MHz
			$C_L=25\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	40	
			$C_L=50\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	30	
			$C_L=50\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	18	
	$t_{f(\text{IO})\text{out}}$ $t_{r(\text{IO})\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=25\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	5.1	ns
			$C_L=25\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	7.9	
			$C_L=50\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	10.2	
			$C_L=50\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	16	
高驱动	$f_{\max(\text{IO})\text{out}}^{(2)}$	最大频率	$C_L=25\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	55	MHz
			$C_L=25\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	50	
			$C_L=50\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	50	
			$C_L=50\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	36	
	$t_{f(\text{IO})\text{out}}$ $t_{r(\text{IO})\text{out}}$	输出高至低电平下降时间及输出低至高电平上升时间	$C_L=25\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	2.9	ns
			$C_L=25\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	4.3	
			$C_L=50\text{pF}, V_{CC}\geq 4.5\text{V}$	-	-	5.2	
			$C_L=50\text{pF}, V_{CC}\geq 2.7\text{V}$	-	-	8	



说明

1. 由综合评估得出，不在生产中测试。
2. 由设计保证，不在生产中测试。最大频率在下图中定义。其中，P44、P46 和 P47 端子的 $t_{f(I/O)out}$ 、 $t_{r(I/O)out}$ 定义为 30%~70%。
3. 负载电容 C_L 必须将 PCB 和 MCU 引脚的电容考虑在内（引脚与电路板的电容可粗略地估算为 15pF）。

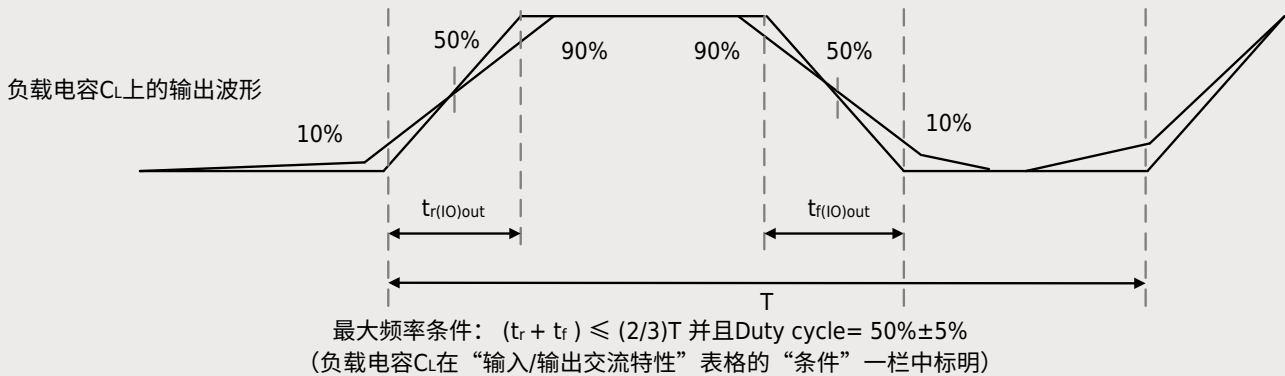


图 4-5 I/O 交流特性定义

4.3.12 I2C 接口特性

表 4-26 I2C 电气特性

符号	参数	标准模式 (SM)		快速模式 (FM)		单位
		最小值	最大值	最小值	最大值	
$f_{SCL}^{(1)}$	SCL 频率	0	100	0	400	kHz
$t_{HD;STA}^{(1)}$	开始条件/重新开始条件 Hold	4.0	-	0.6	-	μs
$t_{LOW}^{(1)}$	SCL 低电平	4.7	-	1.3	-	μs
$t_{HIGH}^{(1)}$	SCL 高电平	4	-	0.6	-	μs
$t_{SU;STA}^{(1)}$	重新开始条件 Setup	4.7	-	0.6	-	μs
$t_{HD;DAT}$	数据 Hold	0	-	0	-	μs
$t_{SU;DAT}$	数据 Setup	$30 + t_{I2C \text{ 基准}}$ 时钟周期 ⁽²⁾	-	$30 + t_{I2C \text{ 基准}}$ 时钟周期 ⁽²⁾	-	ns
$t_R^{(1)}$	SCL/SDA 的上升时间	-	1000	-	300	ns
$t_F^{(1)}$	SCL/SDA 的下降时间	-	300	-	300	ns
$t_{SU;STO}^{(1)}$	停止条件 Setup	4	-	0.6	-	μs
$t_{BUF}^{(1)}$	停止条件到开始条件间的 BUS 空闲时间	4.7	-	1.3	-	μs
$C_b^{(1)}$	负载电容	-	400	-	400	pF



说明

1. 由综合评估得出，不在生产中测试。
2. $t_{I2C \text{ 基准}}$ 时钟周期即 I2C 基准时钟周期，由 I2C_CCR.FREQ 位设定。

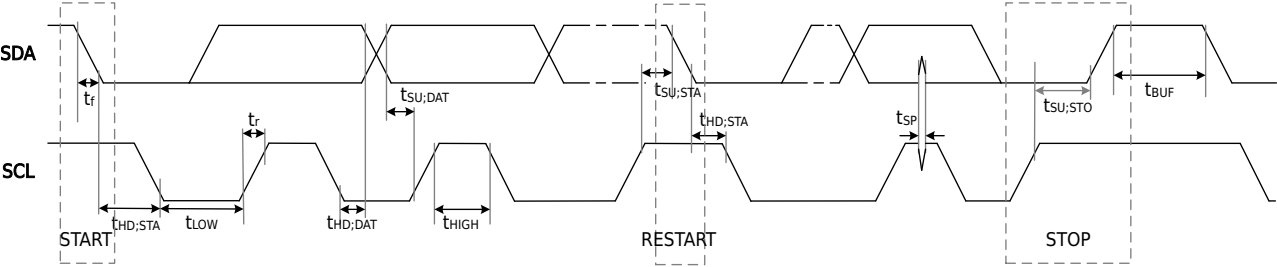


图 4-6 I2C 总线时序定义

4.3.13 SPI 接口特性

表 4-27 SPI 电气特性

符号	参数	条件	最小值	最大值	单位
$t_w(\text{SCKH})^{(1)}$	SCK 高电平时间	主机模式 ⁽⁴⁾	$T_{\text{PCLK1}}-1^{(5)}$	$T_{\text{PCLK1}}+1^{(5)}$	ns
		从机模式 ⁽⁴⁾	$3 \cdot T_{\text{PCLK1}}-1^{(5)}$	$3 \cdot T_{\text{PCLK1}}+1^{(5)}$	ns
$t_w(\text{SCKL})^{(1)}$	SCK 低电平时间	主机模式 ⁽⁴⁾	$T_{\text{PCLK1}}-1^{(5)}$	$T_{\text{PCLK1}}+1^{(5)}$	ns
		从机模式 ⁽⁴⁾	$3 \cdot T_{\text{PCLK1}}-1^{(5)}$	$3 \cdot T_{\text{PCLK1}}+1^{(5)}$	ns
$t_{su}(\text{SI})$	Data 输入建立时间	从机模式	4	-	ns
$t_h(\text{SI})$	Data 输入保持时间	从机模式	3	-	ns
$t_v(\text{SO})$	Data 输出有效时间	从机模式	-	26	ns
$t_{su}(\text{MI})$	Data 输入建立时间	主机模式	9	-	ns
$t_h(\text{MI})$	Data 输入保持时间	主机模式	$T_{\text{PCLK1}}^{(5)}$	-	ns
$t_{su}(\text{SS})^{(1)}$	SS 建立时间	从机模式	$6 \cdot T_{\text{PCLK1}}^{(5)}$	-	ns
		主机模式	$-10+N \cdot T_{\text{SCK}}^{(2)(5)}$	-	ns
$t_h(\text{SS})^{(1)}$	SS 保持时间	从机模式	$6 \cdot T_{\text{PCLK1}}^{(5)}$	-	ns
		主机模式	$-10+N \cdot T_{\text{SCK}}^{(3)(5)}$	-	ns
$t_v(\text{MO})$	Data 输出有效时间	主机模式	-	9	ns

 **说明**

1. 由综合评估得出，不在生产中测试。

2. $N=1\sim 8$ ，由寄存器 SPI_CFG1.MSSI 决定。

3. $N=1\sim 8$ ，由寄存器 SPI_CFG1.MSSDL 决定。

4. $t_w(\text{SCKH})$ 和 $t_w(\text{SCKL})$ 的数值由 SPI_CFG2.MBR 决定，表格中所列值为 SPI_CFG2.MBR=0 的值。

5. T_{PCLK1} 是指时钟 PCLK1 的 1 个周期， T_{SCK} 是指 SPI 通信时钟的 1 个周期。

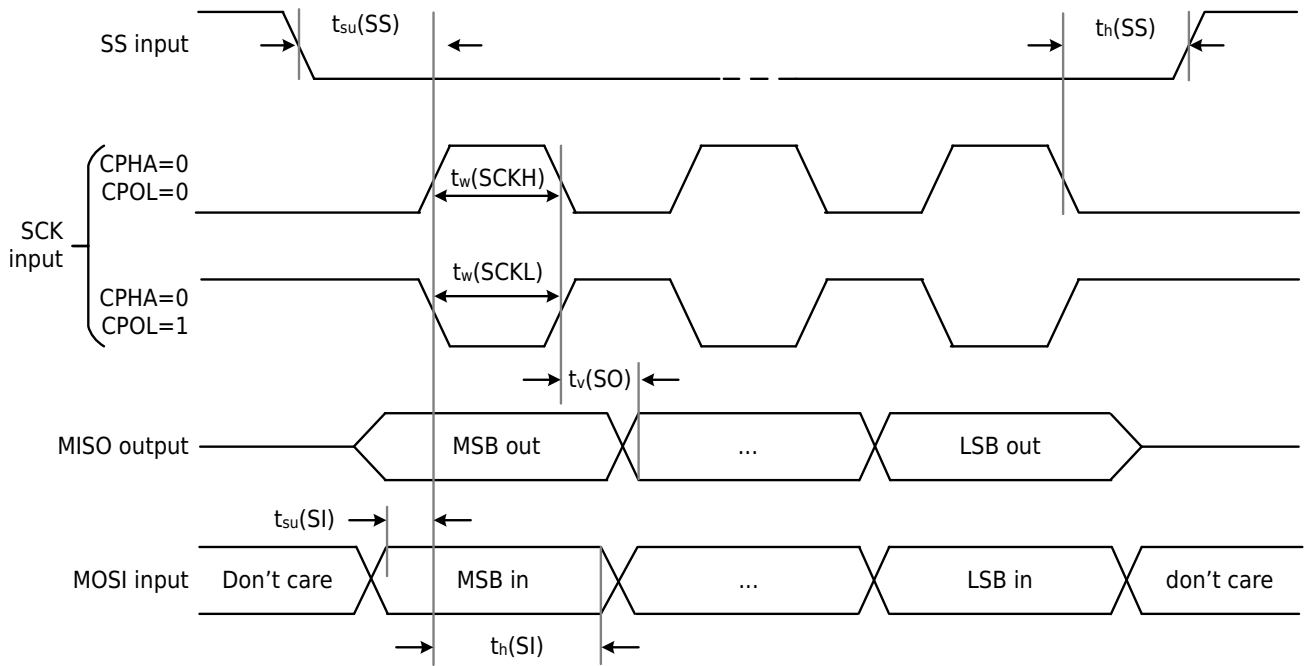


图 4-7 SPI 时序定义（从机模式，CPHA=0）

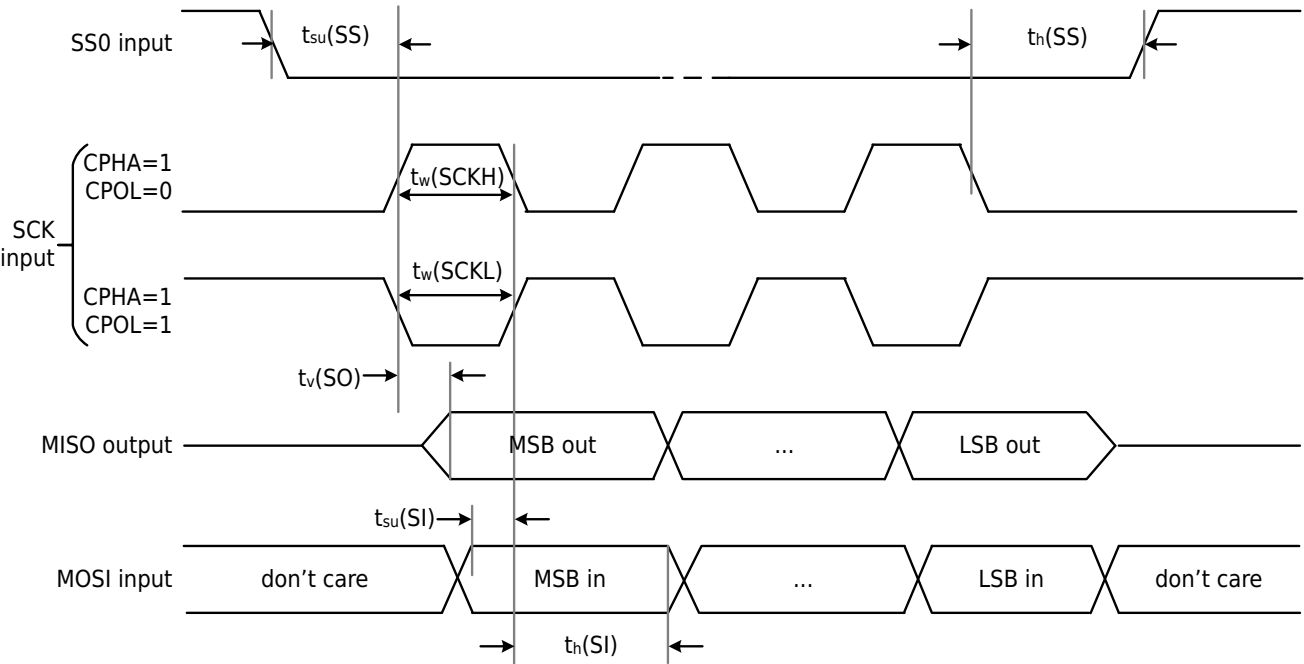


图 4-8 SPI 时序定义（从机模式，CPHA=1）

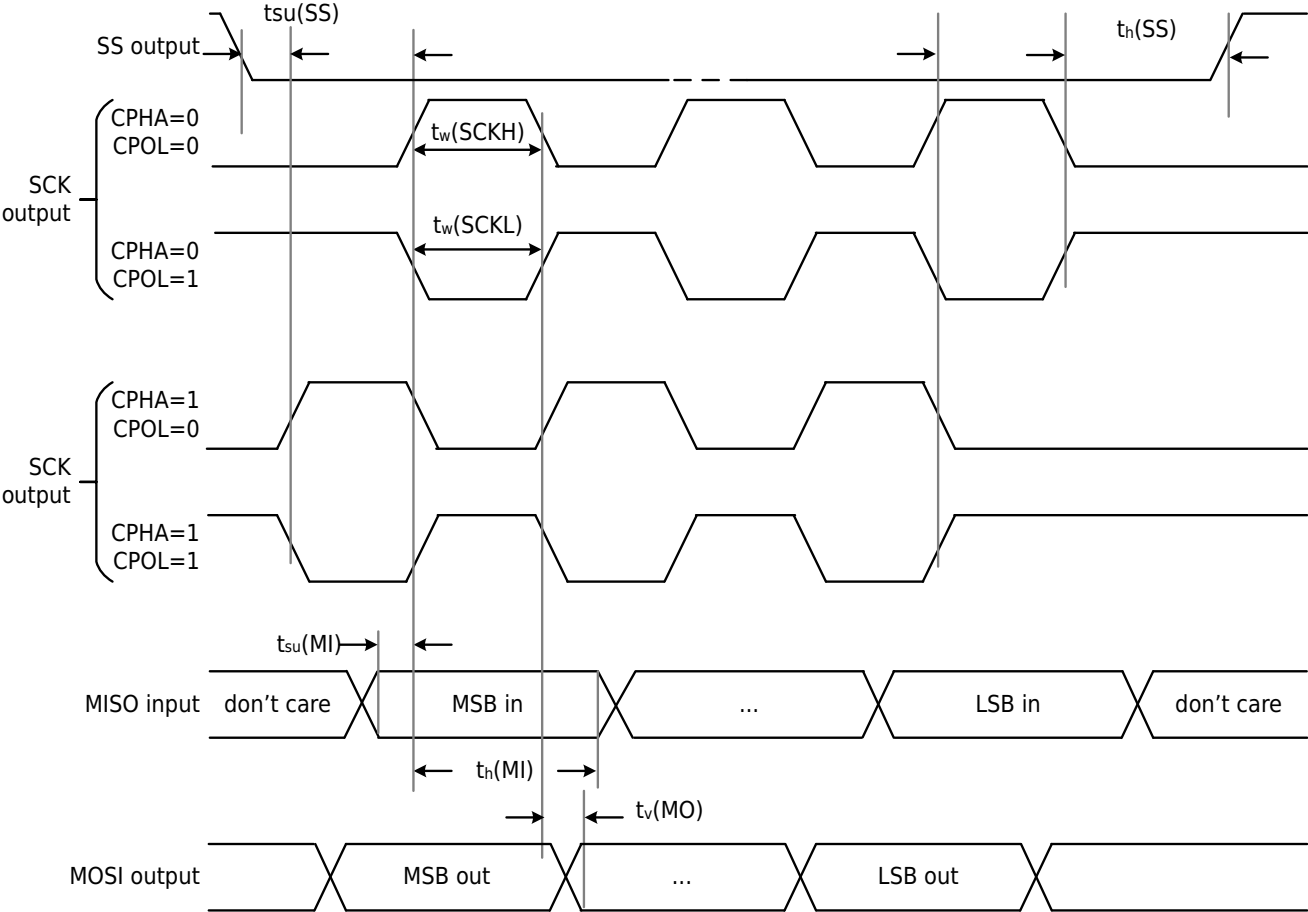


图 4-9 SPI 时序定义（主机模式）

4.3.14 USART 接口特性

表 4-28 USART AC 时序⁽¹⁾

符号	参数	条件	最小值	最大值	单位
t_{cyc}	输入时钟周期数	UART	4	-	t_{PCLK1}
		时钟同步模式	6	-	
t_{CKw}	输入时钟宽度	-	0.4	0.6	t_{cyc}
t_{CKr}	输入时钟上升时间	-	-	5	ns
t_{CKf}	输入时钟下降时间	-	-	5	ns
t_{TD}	发送延迟时间	时钟同步模式	-	30	ns
t_{RDS}	接收数据建立时间	时钟同步模式	17	-	ns
t_{RDH}	接收数据保持时间	时钟同步模式	5	-	ns

 说明

1. 由综合评估得出，不在生产中测试。

表 4-29 USART 最高波特率

模式		最高波特率
UART	内部时钟源	PCLK1/8
	外部时钟源	PCLK1/32

模式	最高波特率
时钟同步模式	8.0Mbps

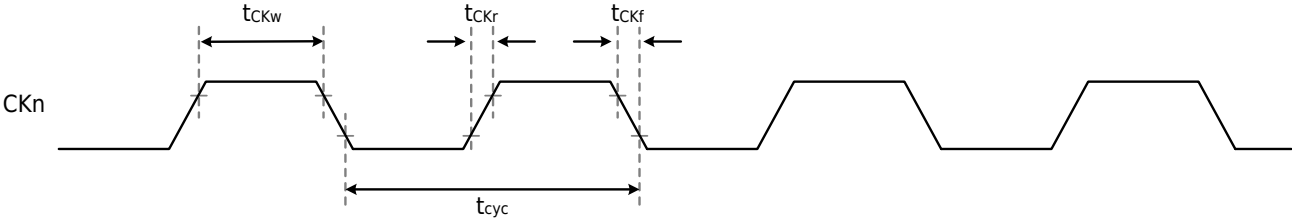


图 4-10 USART 时钟时序

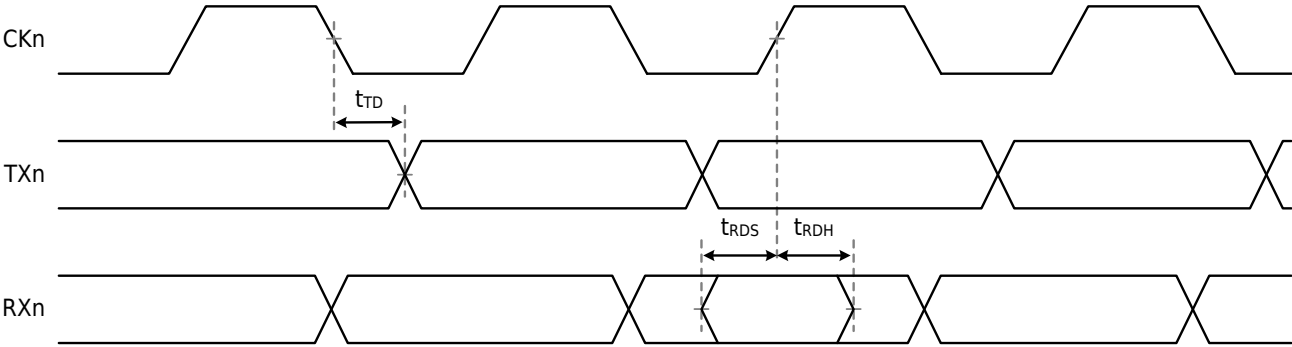


图 4-11 USART (CSI) 输入输出时序

说明

图中 n 取值为 1~4。

4.3.15 SWD 接口特性

表 4-30 SWD 接口特性

符号	参数	最小值	典型值	最大值	单位
$t_{SWCLKcyc}^{(1)}$	SWCLK 时钟周期	50	-	-	ns
$t_{SWCLKH}^{(1)}$	SWCLK 时钟高电平	15	-	-	ns
$t_{SWCLKL}^{(1)}$	SWCLK 时钟低电平	15	-	-	ns
$t_{SWCLKr}^{(1)}$	SWCLK 时钟上升时间	-	-	5	ns
$t_{SWCLKf}^{(1)}$	SWCLK 时钟下降时间	-	-	5	ns
$t_{SWDI s}$	SWDI 建立时间	10	-	-	ns
$t_{SWDI h}$	SWDI 保持时间	10	-	-	ns
$t_{SWDO d}$	SWDO 数据迟延	-	-	28	ns

说明

1. 由综合评估得出，不在生产中测试。

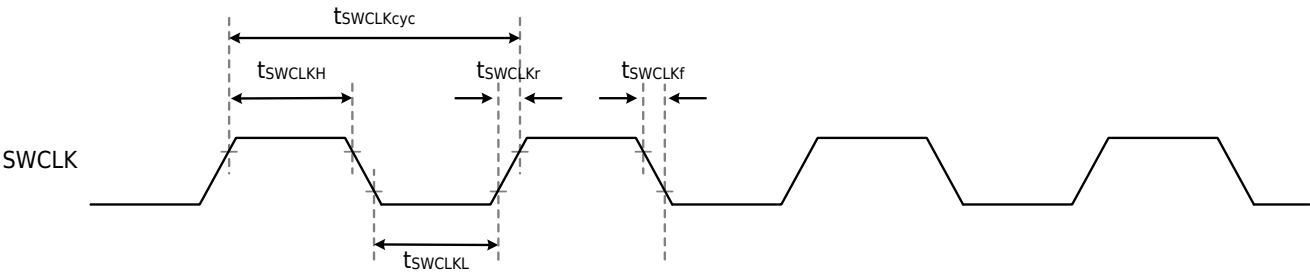


图 4-12 SWCLK 时钟

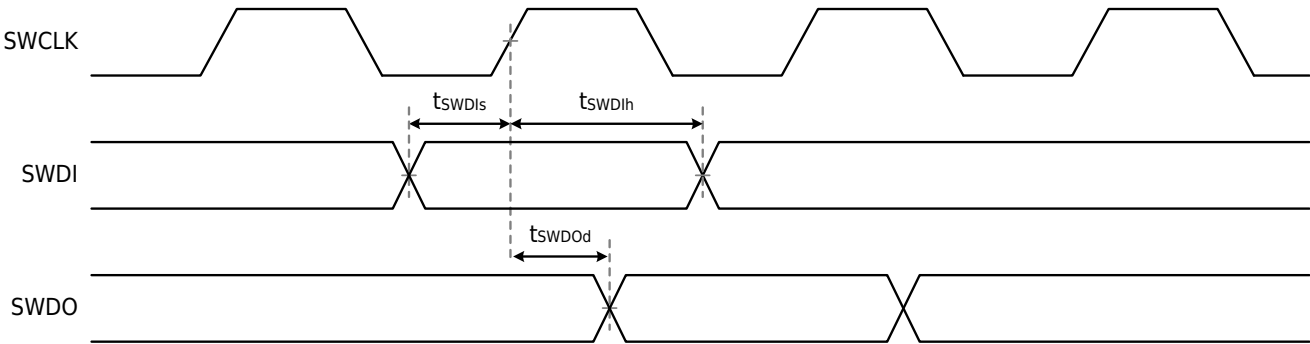


图 4-13 SWDIO 输入输出

4.3.16 12 位 ADC 特性

表 4-31 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}/V_{REFH}^{(2)}$	电源	-	2.7	-	5.5	V
$f_{ADC}^{(2)}$	ADC 转换时钟频率	参考电压为 $V_{REFH}/AVCC$	-	-	80	MHz
		参考电压为内部 2.5V/4.2V	-	-	22	MHz
$V_{AIN}^{(2)}$	转换电压范围	-	V_{AVSS}	-	V_{AVCC}/V_{REFH}	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	-	-	2	kΩ
$R_{ADC}^{(1)}$	采样开关电阻	-	-	1.5	-	kΩ
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	5.1	-	pF
$t_s^{(1)}$	采样时间	$f_{ADC}=80\text{MHz}$	0.1	-	3.188	μs
			8	-	255	1/ f_{ADC}
$t_{CONV}^{(1)}$	单通道总转换时间 (包括采样时间, 计算 方式为: 采样时间 T_s+14)	$f_{ADC}=80\text{MHz}$	0.275	-	-	μs
			22	-	269	1/ f_{ADC}
$f_s^{(1)}$	采样率	-	-	-	3.6	Msp/s
$t_{ST}^{(1)}$	启动时间	-	-	-	5	μs



说明

- 1. 由设计保证，不在生产中测试。
- 2. 由综合评估得出，不在生产中测试。

公式 1: RAIN 最大值公式

$$R_{AIN} = \frac{k}{f_{ADC} * C_{ADC} * \ln(2^{N+2})} - R_{ADC}$$

上式（公式 1）用于确定使误差低于 1/4LSB 的最大外部阻抗。其中 N=12（12 位分辨率），k 为 ADC_SSTR 寄存器中定义的采样周期数。

表 4-32 输入通道静态精度@f_{ADC}=80MHz⁽¹⁾

符号	参数	条件	最小值	最大值	单位
E _T	总未调整误差	f _{ADC} =80MHz	±5.5	±7	LSB
E _O	偏移误差	VREFH 作参考	±4.5	±7	LSB
E _G	增益误差	V _{AVCC} =2.7V/5.5V	±4.5	±7	LSB
E _D	微分非线性误差	T _A =-40°C/105°C	±1.5	±3	LSB
E _L	积分非线性误差		±2.0	±4	LSB



说明

- 1. 由综合评估得出，不在生产中测试。

表 4-33 输入通道动态精度@f_{ADC}=80MHz⁽¹⁾

符号	参数	条件	最小值	最大值	单位
ENOB	有效位数	f _{ADC} =80MHz	10	-	Bits
SINAD	信噪谐波比	输入信号频=2kHz	62.0	-	dB
SNR	信噪比	输入源阻抗=0Ω	62.1	-	dB
THD	总谐波失真	V _{AVCC} =2.7V/5.5V T _A =-40°C/105°C	-	-78.1	dB



说明

- 1. 由综合评估得出，不在生产中测试。

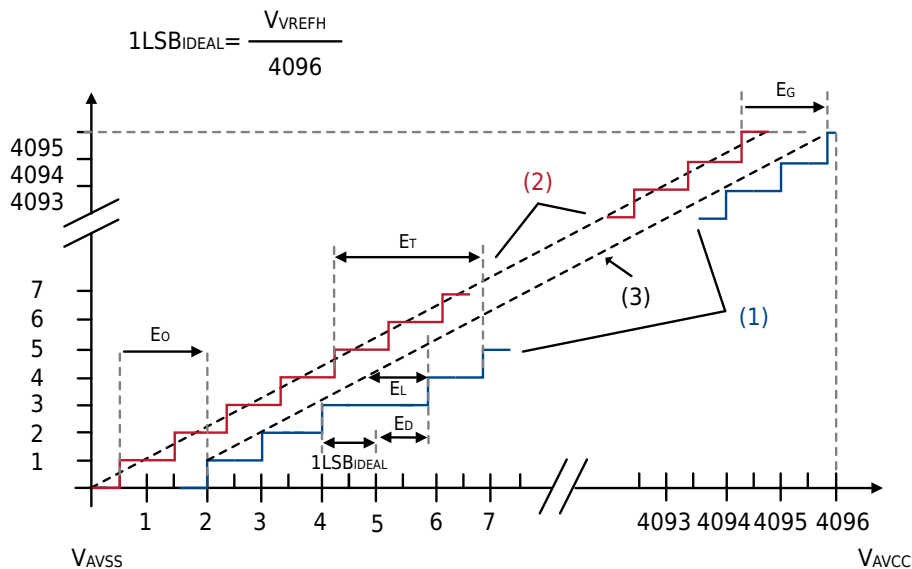


图 4-14 ADC 精度特性

- 1. 实际传输曲线举例。
- 2. 理想传输曲线。
- 3. 端点相关线。
- 4. E_T = 总未调整误差：实际和理想传输曲线间的最大偏离。
 E_0 = 偏移误差：第一次实际转换和第一次理想转换间的偏离。
 E_G = 增益误差：最后一次理想转换和最后一次实际转换间的偏离。
 E_D = 微分非线性误差：实际步进和理想值间的最大偏离。
 E_L = 积分非线性误差：任何实际转换和端点相关线间的最大偏离。

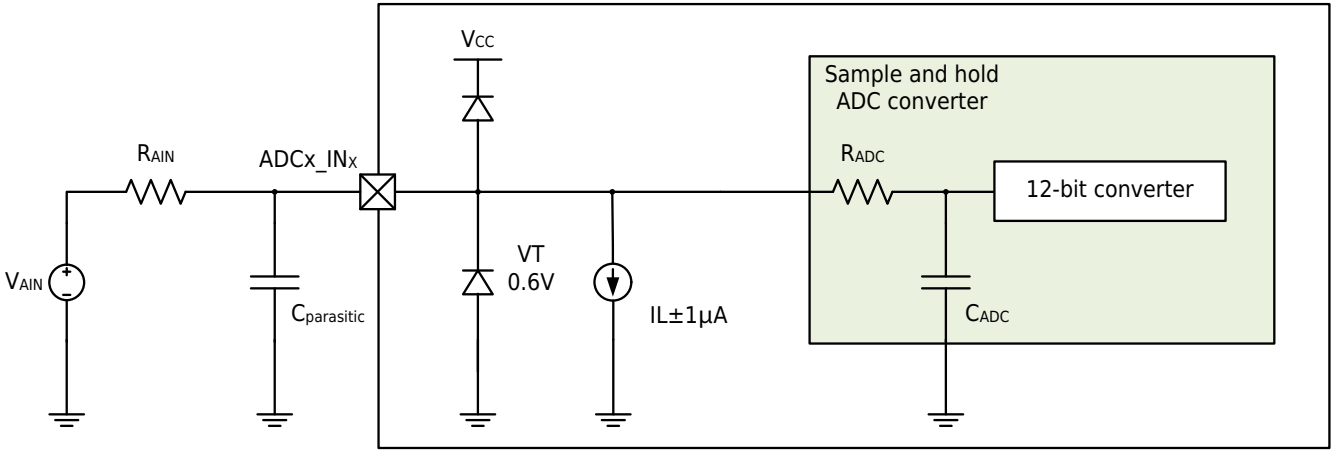


图 4-15 使用 ADC 的典型连接

- 1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 值的信息，请参见表 4-31。
- 2. $C_{parasitic}$ 表示 PCB 电容（取决于焊接和 PCB 布线质量）以及焊盘电容（约 5pF）。 $C_{parasitic}$ 值较高会导致转换精度降低。要解决这一问题，应减小 f_{ADC0} 。

通用 PCB 设计准则

应按照下图所示对电源进行去耦。0.1μF 电容应为（优质）陶瓷电容。这些电容应尽可能靠近芯片。

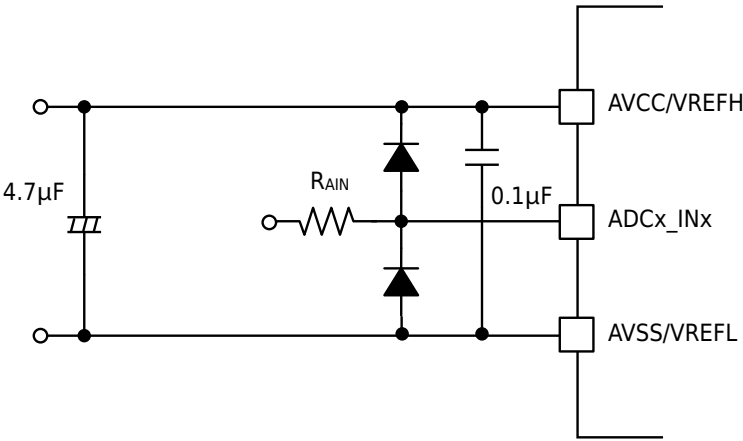


图 4-16 电源和参考电源去耦例

1. 有关 R_{AIN} 值的信息，请参见表 4-31。

4.3.17 12 位 DAC 特性

表 4-34 12-bit DAC 端口输出禁止时特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	2.7	5.0	5.5	V
$AO^{(2)}$	输出电压范围	参考电压为 $AVCC$	0	-	$V_{AVCC}-1LSB$	V
		参考电压为内部 1.2V	0	-	$V_{REF12}-1LSB$	V
DNL	微分非线性误差（两个连续代码之间的偏差）	-	-	-	± 3	LSB
$TUE^{(2)}$	总不可调整误差	参考电压为 $AVCC$	-	-	± 5	LSB
$T_{wakeup}^{(1)}$	启动时间（DAC 使能，至输出建立到 $\pm 1LSB$ ）	-	-	0.1	1	μs
$T_{dacst}^{(1)}$	建立时间（适用于到 DAC 输出达到最终值 $\pm 1LSB$ 时，最低输入代码与最高输入代码之间 12 位输入代码转换）	-	-	214	291	ns
	建立时间（适用于到 DAC 输出达到最终值 $\pm 16LSB$ 时，最低输入代码与最高输入代码之间 12 位输入代码转换）	-	-	155	200	ns

 说明

- 1. 由设计保证，不在生产中测试。
- 2. 由综合评估得出，不在生产中测试。

4.3.18 比较器特性

表 4-35 比较器特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	2.7	5.0	5.5	V

符号	参数	条件	最小值	典型值	最大值	单位
$V_I^{(2)}$	输入电压范围	-	0	-	V_{AVCC}	V
$V_{offset}^{(2)}$	输入失调电压	-	-	-	10	mV
$V_{hyst}^{(2)}$	迟滞电压	CMP_MDR.HYST=0b000	-	0	-	mV
		CMP_MDR.HYST=0b001	-	10	-	mV
		CMP_MDR.HYST=0b010	-	20	-	mV
		CMP_MDR.HYST=0b011	-	30	-	mV
		CMP_MDR.HYST=0b100	-	40	-	mV
		CMP_MDR.HYST=0b101	-	50	-	mV
		CMP_MDR.HYST=0b110	-	60	-	mV
		CMP_MDR.HYST=0b111	-	70	-	mV
$T_{cmp}^{(1)}$	比较时间	比较器分辨电压=100mV	-	-	100	ns
$T_{start}^{(1)}$	稳定时间	-	-	-	300	ns
$T_{set}^{(2)}$	输入通道切换稳定时间	-	-	100	200	ns



说明

1. 由设计保证，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

4.3.19 OPA 特性

表 4-36 OPA 特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{AVCC}^{(2)}$	模拟电源电压	-	2.7	5.0	5.5	V
$I_{CMR}^{(1)}$	输入共模范围	-	0	-	$V_{AVCC}-1.2$	V
$V_{OUT}^{(1)}$	输出电压范围	-	0.2	-	$V_{AVCC}-0.2$	V
$V_{OS}^{(2)}$	输入失调电压	$T_A=-40\sim 105^{\circ}\text{C}$ $V_{AVCC}=2.7\sim 5.5\text{V}$	-	± 2	-	mV
$C_{LOAD}^{(2)}$	输出负载电容	-	-	-	50	pF
$R_{LOAD}^{(2)}$	输出负载电阻	-	10K	-	-	Ω
SR ⁽¹⁾	Slew Rate	rising/falling	-	10	-	V/us
GBW ⁽¹⁾	单位增益带宽	-	-	13	-	MHz
$G_{DC}^{(1)}$	DC gain	-	-	100	-	dB
CMRR ⁽¹⁾	共模抑制比	$V_{IN}=0.2\text{V}\sim V_{AVCC}-1.2$	-	100	-	dB
PSRR ⁽¹⁾	电源抑制比	$V_{IN}=0.2\text{V}\sim V_{AVCC}-1.2$	-	75	-	dB
$T_{set}^{(2)}$	建立时间	-	-	-	5	μs

符号	参数	条件	最小值	典型值	最大值	单位
$I_{LOAD}^{(2)}$	输出电流	$V_{AVCC}=5.0V$ $V_{OUT}=1V$ 或 $V_{AVCC}-1V$ $OPAxP-OPAxN=100mV$	30	-	-	mA

**说明**

1. 由设计保证，不在生产中测试。
2. 由综合评估得出，不在生产中测试。

4.3.20 EIRQ 滤波特性

表 4-37 EIRQ 滤波特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
W_{F_EIRQ}	EIRQ 输入滤波宽度	INTC_EIRQCR.NOCSEL=0b00	0.6	-	2.0	μs
		INTC_EIRQCR.NOCSEL=0b01	1.1	-	3.0	μs
		INTC_EIRQCR.NOCSEL=0b10	2.2	-	5.0	μs
		INTC_EIRQCR.NOCSEL=0b11	4.3	-	9.0	μs

**说明**

1. 由综合评估得出，不在生产中测试。

4.3.21 NMI 滤波特性

表 4-38 NMI 滤波特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
W_{F_NMI}	NMI 输入滤波宽度	INTC_NMICR.NOCSEL=0b00	0.6	-	2.0	μs
		INTC_NMICR.NOCSEL=0b01	1.1	-	3.0	μs
		INTC_NMICR.NOCSEL=0b10	2.2	-	5.0	μs
		INTC_NMICR.NOCSEL=0b11	4.3	-	9.0	μs

**说明**

1. 由综合评估得出，不在生产中测试。

4.3.22 USART1 STOP 模式下 RX 滤波特性

表 4-39 USART1 STOP 模式下 RX 滤波特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
W_{F_USART1}	USART1 输入滤波宽度	USART1_NFC.USART1_NFS=0b00	0.6	-	2.0	μs
		USART1_NFC.USART1_NFS=0b01	1.1	-	3.0	μs
		USART1_NFC.USART1_NFS=0b10	2.2	-	5.0	μs
		USART1_NFC.USART1_NFS=0b11	4.3	-	9.0	μs

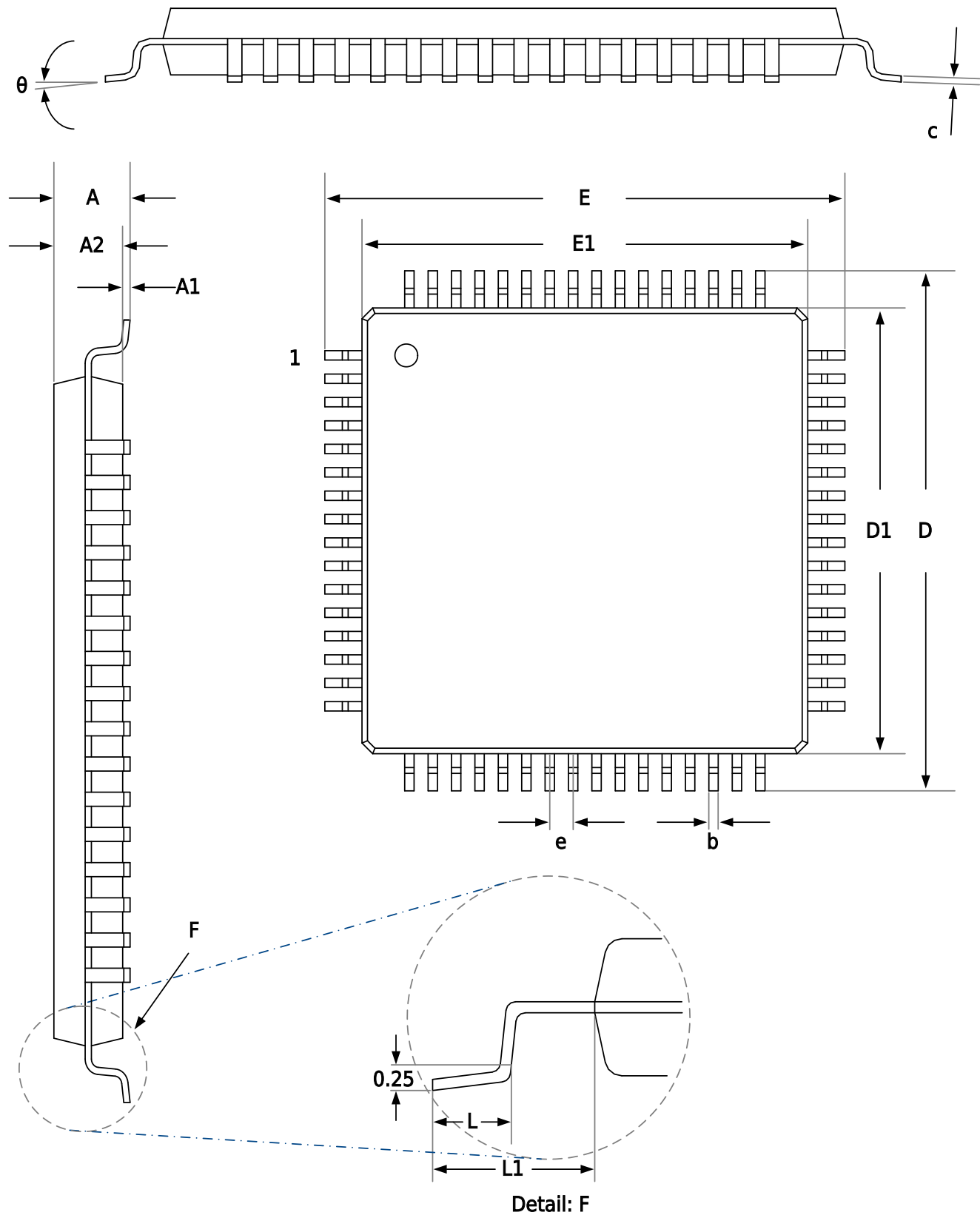
**说明**

1. 由综合评估得出，不在生产中测试。

5 封装信息

5.1 封装尺寸

5.1.1 LQFP64 封装



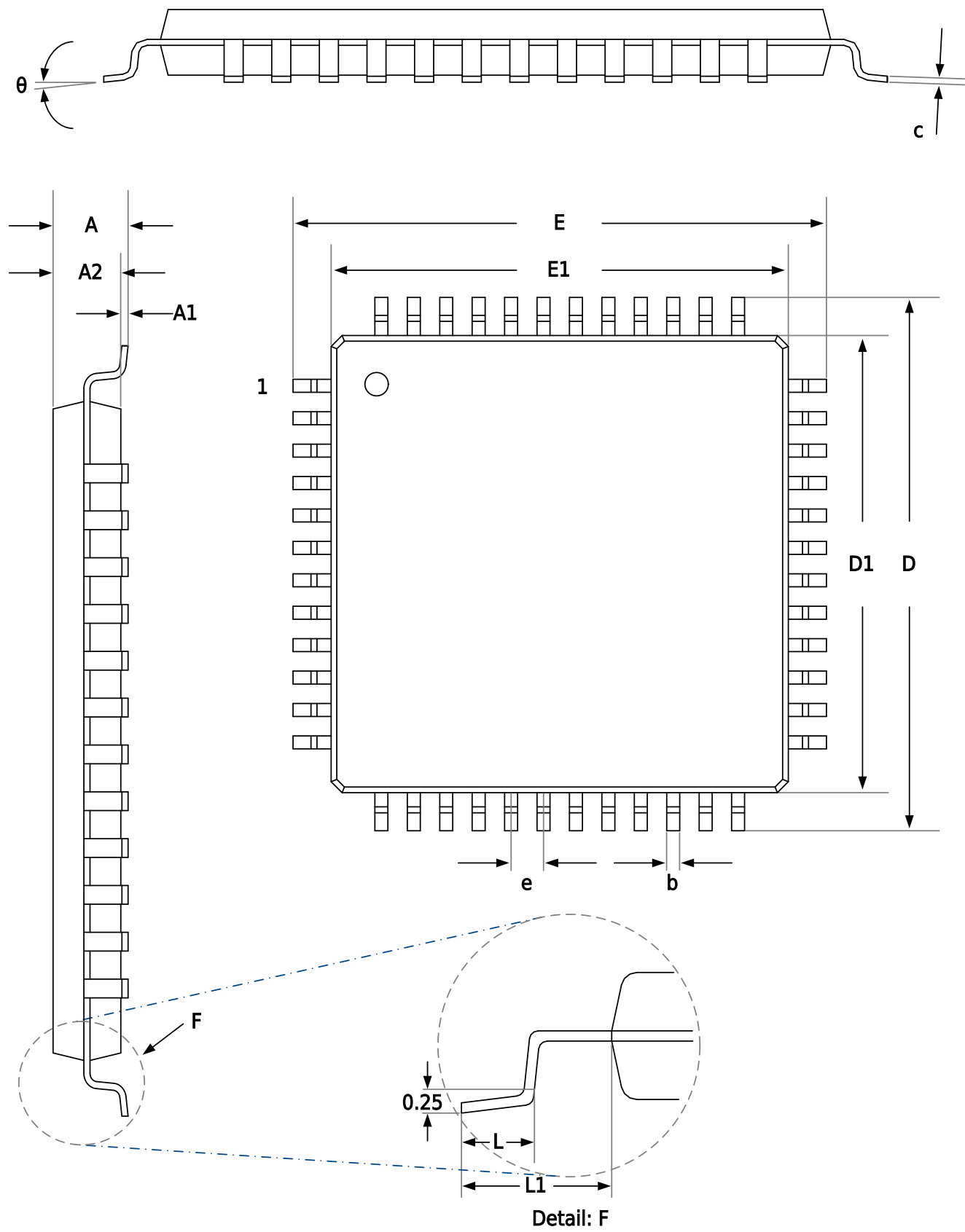
Symbol	10 x 10 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	--	0.20
D	11.80	12.00	12.20
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0°	--	7°



说明

D1 和 E1 尺寸不包含模具注塑产生的溢料。

5.1.2 LQFP48 封装



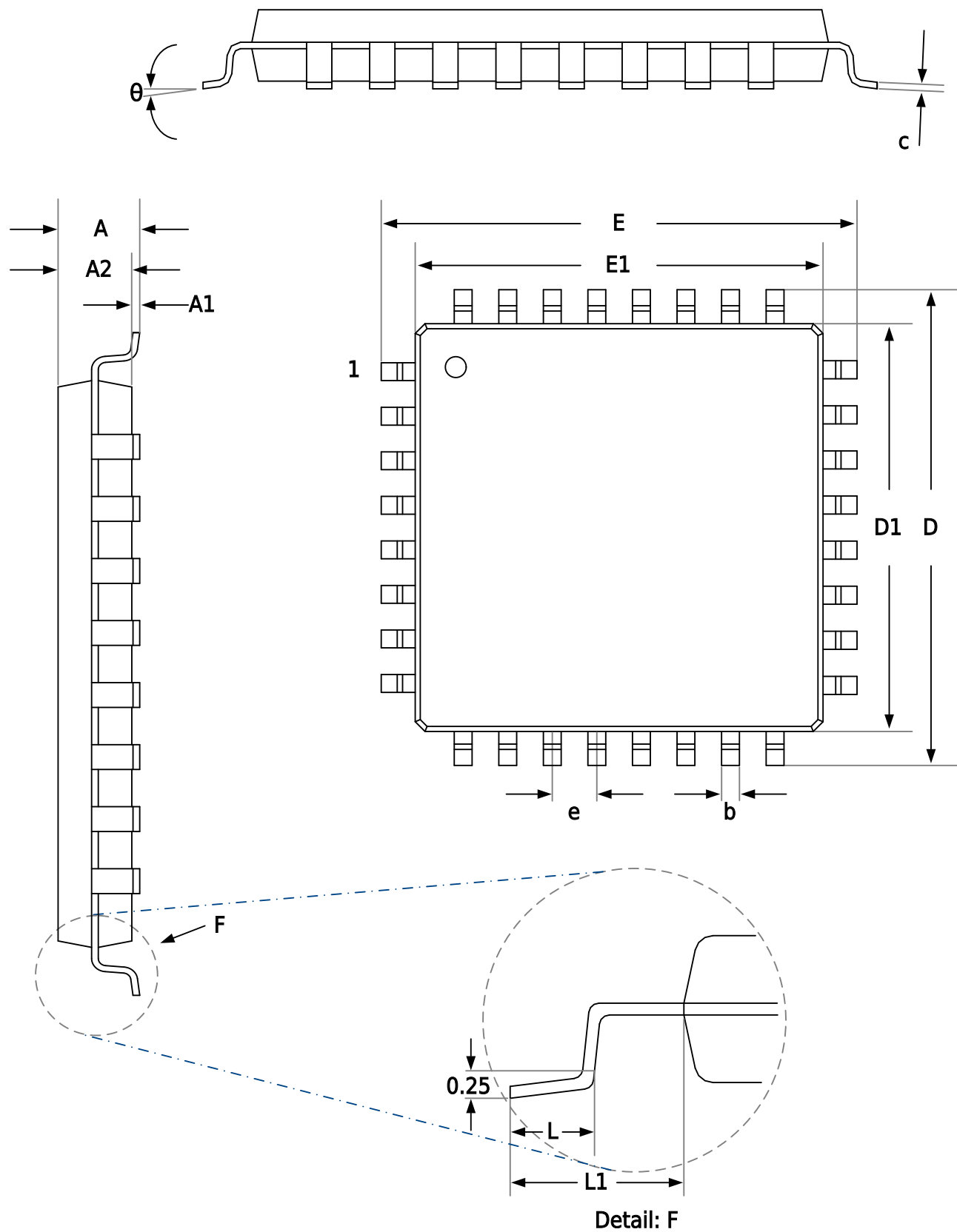
Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.17	0.22	0.27
c	0.09	--	0.20
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0	--	7°



说明

D1 和 E1 尺寸不包含模具注塑产生的溢料。

5.1.3 LQFP32 封装



Symbol	7 x 7 Millimeter		
	Min	Nom	Max
A	--	--	1.60
A1	0.05	--	0.15
A2	1.35	1.40	1.45
b	0.30	--	0.45
c	0.09	--	0.20
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.80BSC		
L	0.45	--	0.75
L1	1.00REF		
θ	0	--	7°

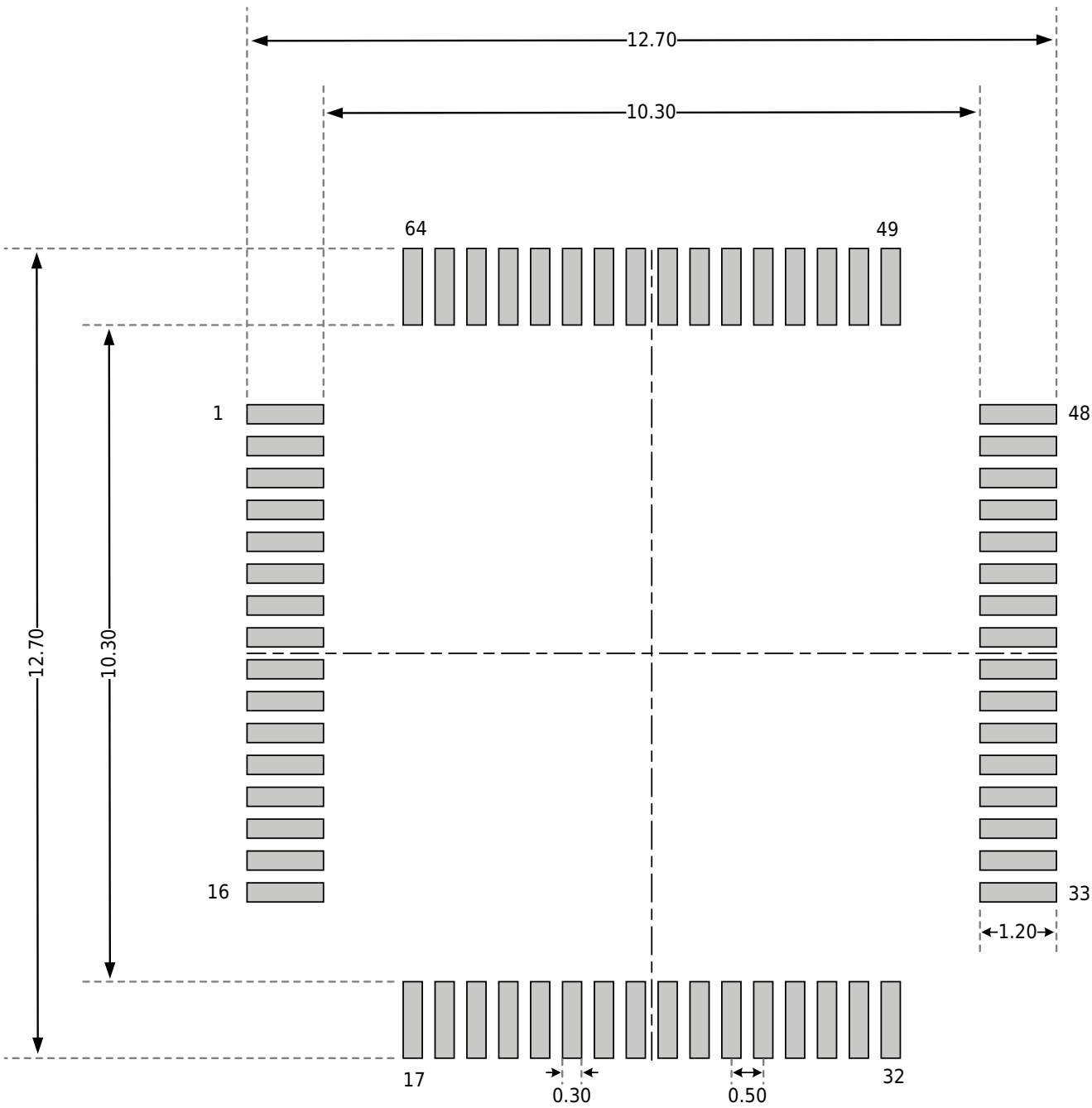


说明

D1 和 E1 尺寸不包含模具注塑产生的溢料。

5.2 焊盘示意图

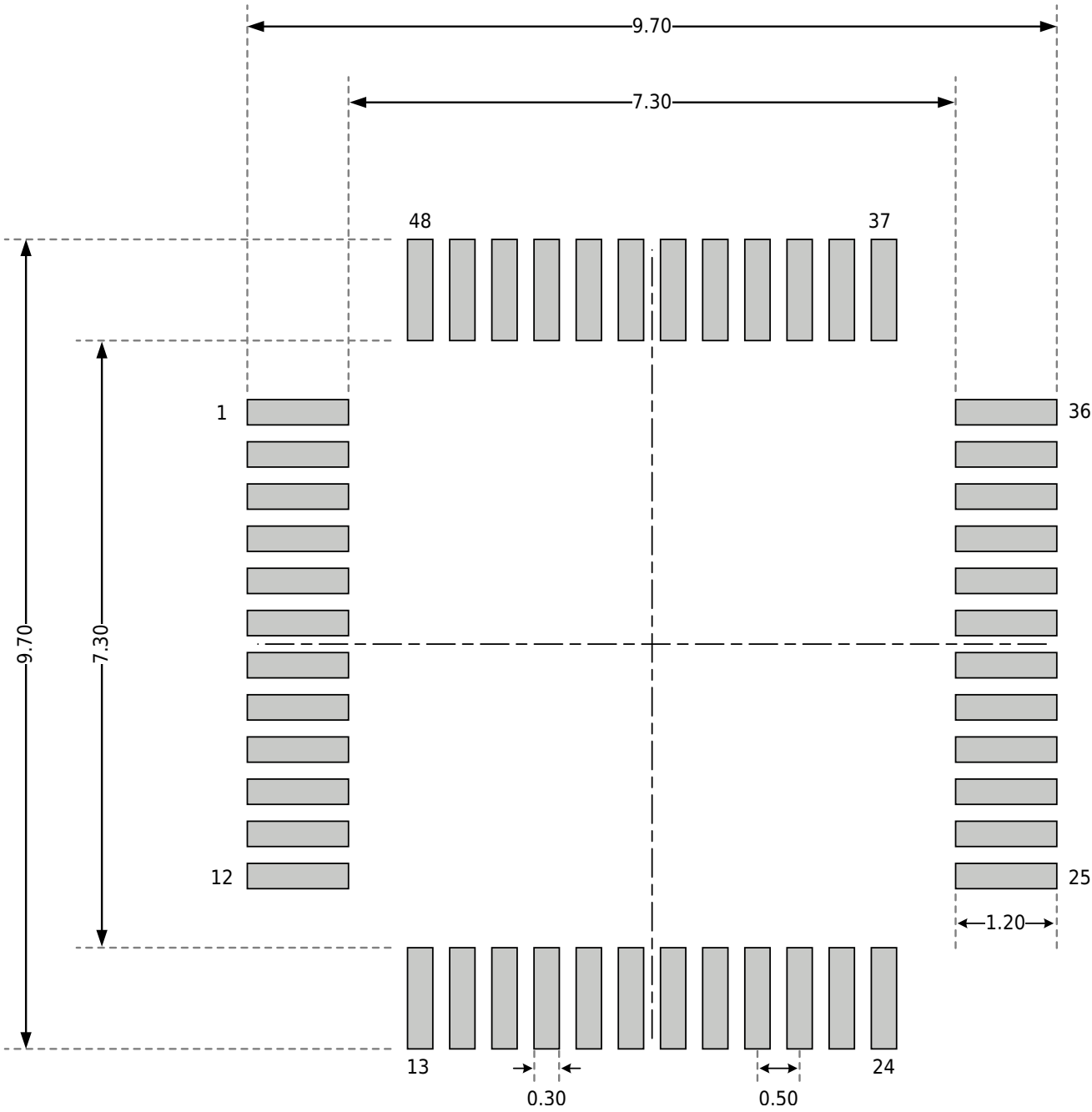
5.2.1 LQFP64 封装 (10mm x 10mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

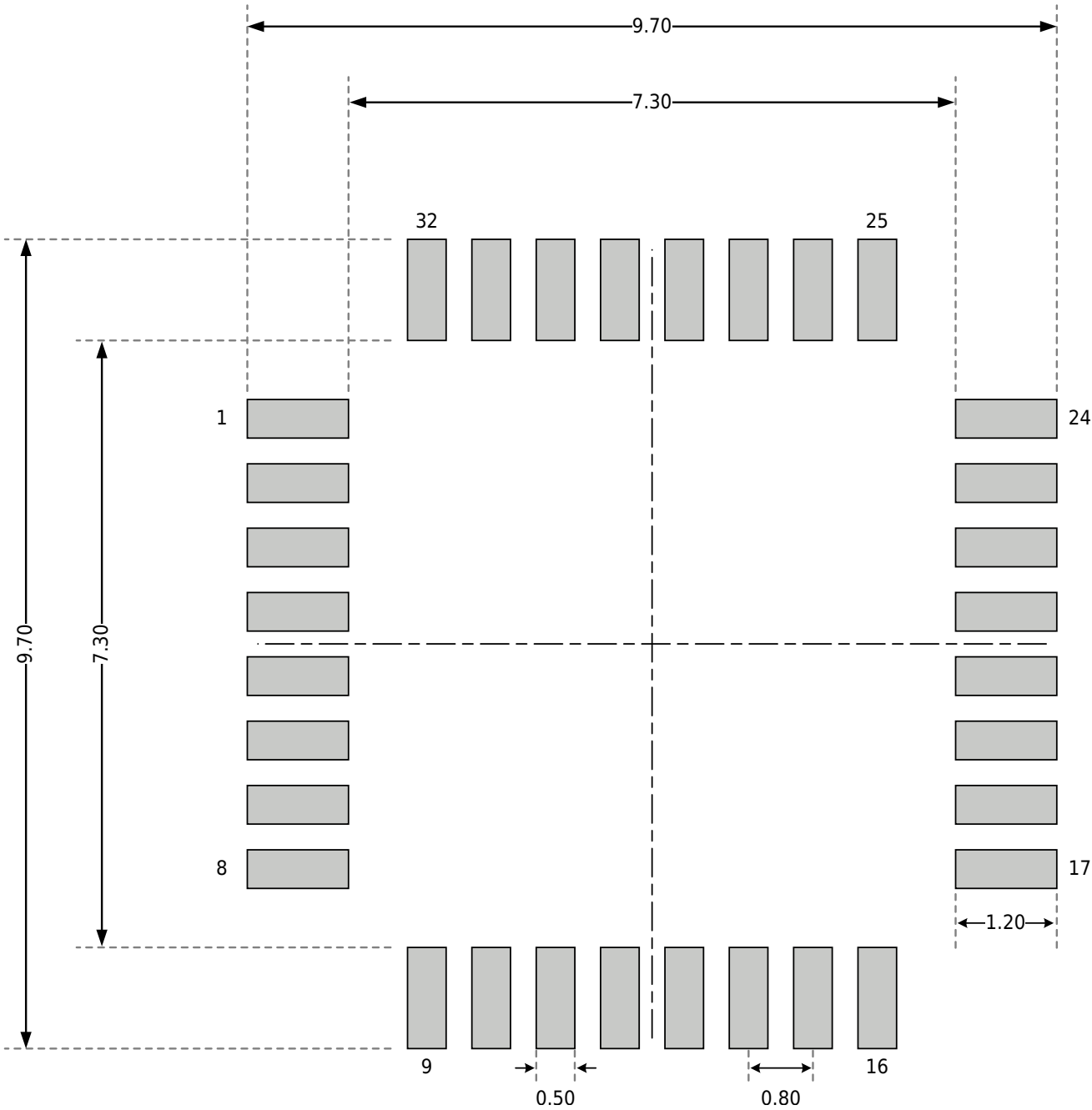
5.2.2 LQFP48 封装 (7mm x 7mm)



说明

- 尺寸单位是毫米。
- 尺寸仅做参考。

5.2.3 LQFP32 封装 (7mm x 7mm)



说明

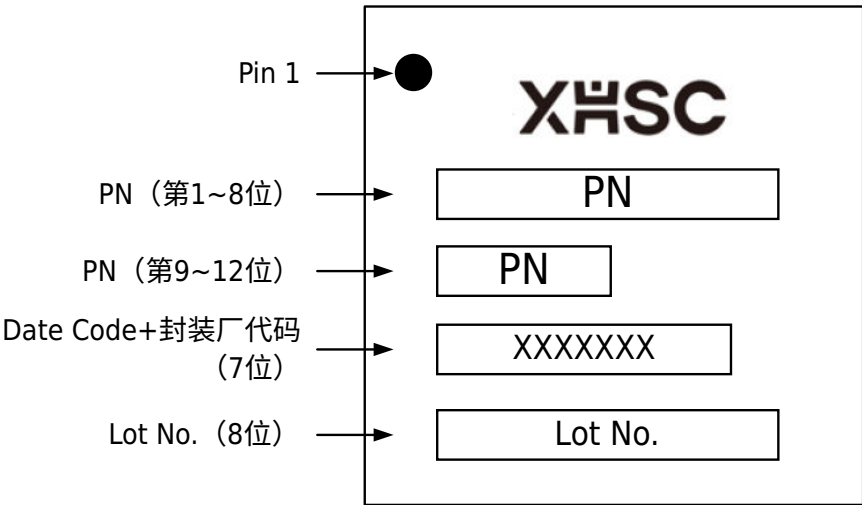
- 尺寸单位是毫米。
- 尺寸仅做参考。

5.3 丝印说明

以下给出各封装正面丝印的 Pin1 位置和信息说明。

LQFP64 封装（10mm x 10mm）

LQFP48 封装（7mm x 7mm）/LQFP32 封装（7mm x 7mm）



5.4 封装热阻系数

封装芯片在指定工作环境温度下工作时，芯片表面的结温 T_j (°C) 可以按照下面的公式计算：

$T_j = T_A + (P_D \times \theta_{JA})$

- T_A 是指封装芯片工作时的环境温度，单位是°C；
- θ_{JA} 是指封装对工作环境的热阻系数，单位是°C/W；
- P_D 等于芯片的内部功耗 (P_{INT}) 和芯片工作时 I/O 引脚产生的功耗 (P_{IO}) 之和，单位是 W。

$P_D = P_{INT} + P_{IO}$

► P_{INT} 是芯片的内部功耗，产品的 I_{VCC} 与 V_{CC} 的乘积。

► P_{IO} 是芯片所有输出 IO 的功耗，计算公式为： $P_{IO} = \Sigma(V_{OL} * I_{OL}) + \Sigma((V_{CC} - V_{OH}) * I_{OH})$

芯片在指定工作环境温度下工作时芯片表面的结温 T_j ，不可以超出芯片可容许的最大结温度 T_{Jmax} 。

表 5-4 各封装热阻系数参考表

封装类型及尺寸	热阻系数 (θ_{JA})	单位
LQFP64 10mm x 10mm/0.5mm pitch	65 ± 10%	°C/W
LQFP48 7mm x 7mm/0.5mm pitch	75 ± 10%	°C/W
LQFP32 7mm x 7mm/0.8mm pitch	80 ± 10%	°C/W

6 订购信息

Part Number		HC32M413KATI-LQFP64	HC32M413JATI-LQ48	HC32M413FATI-LQ32
GPIO		52	40	24
CPU	Core	Cortex-M4	Cortex-M4	Cortex-M4
	Frequency	120MHz	120MHz	120MHz
Memory	Flash	128KB	128KB	128KB
	SRAM	16KB	16KB	16KB
Power supply voltages		2.7~5.5V	2.7~5.5V	2.7~5.5V
Temp Range		-40~105°C	-40~105°C	-40~105°C
DMA		1unit*4ch	1unit*4ch	1unit*4ch
TIMER	Timer0	2unit	2unit	2unit
	TimerA	5unit	5unit	5unit
	Timer4	1unit	1unit	1unit
HALL		1unit*3ch	1unit*3ch	1unit*3ch
WDT		1ch	1ch	1ch
SWDT		1ch	1ch	1ch
Connectivity	USART	4ch	4ch	4ch
	I2C	1ch	1ch	1ch
	SPI	1ch	1ch	1ch
Analog	12-bit ADC	1unit, 16ch	1unit, 14ch	1unit, 6ch
	12-bit DAC	1ch	1ch	1ch
	CMP	3ch	3ch	3ch
	OPA	3ch	3ch	1ch
	PVD	√	√	√
Co-processing	DCU	√	√	√
	MAU	√	√	√
Package (mm*mm)		LQFP64(10*10)	LQFP48(7*7)	LQFP32(7*7)
Packing		Tray	Tray	Tray
Pitch		0.5mm	0.5mm	0.8mm
Thickness		1.4mm	1.4mm	1.4mm

订购前，请联系销售窗口咨询最新量产信息。

版本记录

文档版本日期	修改说明
Rev1.00 2026/07/24	第一次正式发布。