XHSC 小华半导体
XIAOHUA SEMICONDUCTOR

32 位微控制器

HC32F460_F451_F452_A460 系列

勘误表

Rev1.42　2026 年 10 月

适用对象

产品系列	产品型号	产品系列	产品型号
HC32F460 系列	HC32F460JCTA HC32F460JETA HC32F460JEUA HC32F460KCTA HC32F460KETA HC32F460KEUA HC32F460PCTB HC32F460PEHB HC32F460PETB	**HC32F452 系列**	HC32F452FEUB HC32F452JEUB HC32F452KETB HC32F452PETB
HC32F451 系列	HC32F451FEUB HC32F451JEUB HC32F451KETB HC32F451PETB	**HC32A460 系列**	HC32A460PETB

声　明

★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。

★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。

★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。

★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。

★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

★ 重要提示：在使用本产品前，请务必查阅官方发布的最新勘误表，充分知悉产品已知修正信息，规避使用风险。

★ 本通知中的信息取代并替换先前版本中的信息。

©2026 小华半导体有限公司 保留所有权利

目 录

适用对象 **2**
声 明 **3**
目 录 **4**
1 摘要 **7**
2 系统 **8**
2.1 PWC 注意事项 8
2.1.1 可编程电压检测标志位清除 8
2.1.2 停止模式唤醒后运行异常 8
2.1.3 停止模式唤醒异常 8
2.1.4 时钟分频配置寄存器对掉电模式的影响 8
2.1.5 掉电模式唤醒后 CPU 取指错误 9
2.1.6 掉电模式唤醒后系统时钟异常 9
2.1.7 掉电模式下端口复位会复位 RTC 9
2.2 SRAM 注意事项 9
2.2.1 SRAM 跨区访问 9
2.2.2 SRAM3 ECC 9
2.3 EFM 注意事项 10
2.3.1 有关 OTP 中错误地留有数据的说明 10
2.4 INTC 注意事项 10
2.4.1 EXTINT 使用限制 10
2.4.2 中断配置流程注意事项 11
2.5 DMA 注意事项 11
2.5.1 DMA 通道使能 11
2.5.2 DMA 通道配置 11
2.5.3 DMA 源地址/目标地址与位宽对齐 11
2.6 XTAL32 注意事项 12
2.6.1 关闭未使用的 XTAL32 12
2.7 其他 13
2.7.1 寄存器保留位注意事项 13
3 定时器、计数器 **14**
3.1 Timer0 注意事项 14
3.1.1 同步模式写寄存器 14
3.2 Timer6 注意事项 14

3.2.1 TIM6_TRIGA~B 端口的使用 14
3.2.2 三角波计数时 PWM 第一个脉宽可能多一个计数周期 14
3.2.3 停止计数后 CNTER 寄存器可能写入失败 14
3.3 TimerA 注意事项 15
3.3.1 输入捕获 15
3.3.2 PWM 输出 15
3.3.3 动态修改 PWM 占空比为 100%或 0% 15
3.3.4 三角波计数时 PWM 第一个脉宽可能多一个计数周期 16
3.3.5 停止计数后 CNTER 寄存器可能写入失败 16
3.3.6 PWM 输出停止及恢复 16
4 通信及接口 18
4.1 I2C 注意事项 18
4.1.1 主机接收模式可能发出多余时钟信号 18
4.1.2 主机接收模式无法判断设备地址是否发送完成 18
4.1.3 从机发送模式可能导致总线拉低 18
4.1.4 超时功能注意事项 18
4.2 I2S 注意事项 19
4.2.1 从机接收数据声道区分 19
4.2.2 从机数据错位 19
4.3 SPI 注意事项 19
4.3.1 SPI 主机模式数据发送间隔 19
4.3.2 SPI 从机模式数据间隔 19
4.4 QSPI 注意事项 19
4.4.1 4 线读写数据 19
4.4.2 标准读最高速率 19
4.4.3 输入数据保持时间 20
4.5 USART 注意事项 20
4.5.1 USART 发送空中断注意事项 20
4.5.2 USART 单个通道硬件流控限制 20
4.6 CAN 控制器注意事项 20
4.6.1 总线被干扰时发出未定义帧 20
4.6.2 总线被干扰时发出未定义波形占用总线 21
4.6.3 通信时钟不分频时采样点不准确 21
4.7 SDIOC 注意事项 22
4.7.1 长响应（136 bit）命令应答 22

5 模拟 23
5.1 ADC 注意事项 23
5.1.1 ADC 的输入受到干扰 23
5.2 OTS 注意事项 23
6 其他 24
6.1 TRNG 注意事项 24
6.1.1 上电复位时，TRNG 产生的随机数为固定值 24
版本修订记录 25

1 摘要

本文档主要介绍 HC32F460/ HC32F451/ HC32F452/ HC32A460 系列芯片的使用注意事项和变通措施。

2 系统

2.1 PWC 注意事项

2.1.1 可编程电压检测标志位清除

■ 应用注意

PVD 检测状态寄存器（PWC_PVDDSR）中检测标志位 PVD1DETFLG，PVD2DETFLG 分别由该寄存器（PWC_PVDDSR）中 PVD1MON，PVD2MON 清除。

2.1.2 停止模式唤醒后运行异常

■ 问题描述

芯片从停止模式唤醒后，Flash 没有稳定，可能导致 CPU 取指错误，芯片运行异常。

■ 变通措施

系统时钟切换到 MRC 后，再进入停止模式。

即，进入停止模式前，备份用户时钟（非 MRC），切换系统时钟为 MRC，进入停止模式；退出停止模式后，恢复用户时钟。

2.1.3 停止模式唤醒异常

■ 问题描述

芯片在停止模式下，停止模式唤醒事件使能寄存器（INTC_WUPEN）中未使能的中断产生，可能会导致芯片从停止模式唤醒异常。

■ 变通措施

进入停止模式前，关闭 INTC_WUPEN 寄存器中未使能的中断源，退出停止模式后，恢复关闭的中断源。

2.1.4 时钟分频配置寄存器对掉电模式的影响

■ 问题描述

时钟分频配置寄存器（CMU_SCFGR）保留位的 bit31~bit28，如果其写入值对应的 HCLK 的分频系数（参考 HCLKS[2:0]），比 HCLKS[2:0]本身设定的分频系数小，系统退出掉电模式后，无法再进入掉电模式。

■ 变通措施

CMU_SCFGR 保留位的 bit31~bit28 写入与 HCLKS[2:0]配置值相同的数值，保留位 bit27 写入 0。

2.1.5 掉电模式唤醒后 CPU 取指错误

■ 问题描述

芯片从掉电模式唤醒后，如进行掉电模式控制寄存器 0（PWRC0）中 PWDN 位清零后，再次置位的操作，可能导致 CPU 取指错误，芯片运行异常。

■ 变通措施

将进入掉电模式的函数放到 RAM 中执行。

2.1.6 掉电模式唤醒后系统时钟异常

■ 问题描述

系统时钟为 HRC 或系统时钟为 MPLL 且 MPLL 的时钟源为 HRC 时，芯片从掉电模式唤醒后，如产生 PWRC0.PWDN 清零后再次置位的动作（同【掉电模式唤醒后 CPU 取指错误】操作），会产生 ICG 加载动作。如果 ICG1.HRCSTOP 值为 1，即 HRC 停止状态，会和当前系统时钟为 HRC 冲突，导致系统运行异常。

■ 变通措施

将进入掉电模式的函数放到 RAM 中执行，并且把 ICG1.HRCSTOP 位配置成 0。

2.1.7 掉电模式下端口复位会复位 RTC

■ 应用注意

芯片进入掉电模式后，产生外部端口复位，会触发 POR 复位，导致芯片全部初始化，即把不期望复位的 RTC 等模块也进行了复位。

2.2 SRAM 注意事项

2.2.1 SRAM 跨区访问

■ 问题描述

SRAMH（0x1FFF 8000~0x1FFF FFFF）和 SRAM1（0x2000 0000~0x2000 FFFF）之间跨区访问时，会出现数据读写错误。例如，定义 uint32_t*类型指针指向地址 0x1FFF FFFE，通过指针对该地址进行 uint32_t 类型的读写时数据会出错。

■ 变通措施

避免 SRAMH 和 SRAM1 之间的跨区访问。

2.2.2 SRAM3 ECC

■ 问题描述

当 SRAM3 ECC 功能使能，向 SRAM3 写非 32 位数据时，可能出现以下问题：

1) 如果目标地址所在的32位字对齐地址的数据发生1-bit ECC错误，ECC功能会将没有纠错的数据写

入到32位字对齐地址，后续访问该地址时，ECC错误标志位不置位。

2) CPU时钟频率大于100 MHz时，可能会误报ECC错误（1-bit ECC错误或2-bit ECC错误），根据应用程序设定，可能产生非预期的NMI中断或系统复位。

■ 变通措施

实施以下任意一条：

1) 禁止 SRAM3 ECC 功能（SRAMC_CKCR.ECCMOD[1:0] = 0b00）。
2) 写 SRAM3 时，仅进行 32 位字对齐地址的 32 位数据写入。
3) 配置 CPU 时钟频率不大于 100 MHz，将 SRAM3 的 ECC 校验允许位 SRAMC_CKCR.ECCMOD[1:0] 设置为 0b11 或 0b10，若发生 1-bit ECC 错误按未纠错处理。

2.3 EFM 注意事项

2.3.1 有关 OTP 中错误地留有数据的说明

■ 问题描述

产品丝印上 Date Code 时间在 2022 年 6 月 1 日~2024 年 4 月 12 日之间的物料的 OTP 区域被写入生产数据。例如，Date Code 为 220620 的物料，如果使用的 OTP 地址已有生产数据，写入数据会与预期不符。

■ 变通措施

Date Code 为此期间的物料，可以使用 OTP 目前没有数据的区域，地址如下：

1) 0x0300 0D80 ~ 0x0300 0DFF
2) 0x0300 0E80 ~ 0x0300 0EFF
3) 0x0300 0F80 ~ 0x0300 0FBF

2.4 INTC 注意事项

2.4.1 EXTINT 使用限制

■ 问题描述

同 Pin 位号的外部中断功能同时使能，仅 Port 序号小的对应外部中断通道生效。例如同时使能 PA0 和 PB0 的外部中断（PCRA0.INTE=1 且 PCRB0.INTE=1），仅 PA0 上的外部中断信号能被响应。

■ 变通措施

每个外部中断通道可配置的 I/O 不止一个，使用同一通道的外部中断，不要配置多个 Pin。例如：PA0 和 PB0 的外部中断不要同时使能。

2.4.2 中断配置流程注意事项

■ 问题描述

在 EXTINT 的中断配置流程中，在外部管脚为高电平情况下有下述问题：

1) 当选择 EXTINT 上升沿中断时，先使能 NVIC（NVIC_EnableIRQ），后使能外设中断，会立即产生一个中断信号；
2) 当选择 EXTINT 下降沿中断时，在 NVIC（NVIC_EnableIRQ）使能的情况下，关闭外设中断，会立即产生一个中断信号。

■ 变通措施

EXTINT 的中断配置流程为：

1) 当需要使用中断时，先使能外设中断，再清除 Pending 信号（NVIC_ClearPendingIRQ），最后使能 NVIC 中断（NVIC_EnableIRQ）；
2) 当需要关闭中断时，先关闭 NVIC 中断（NVIC_DisableIRQ），然后关闭外设中断。

2.5 DMA 注意事项

2.5.1 DMA 通道使能

■ 问题描述

DMA 通道传输完成后，硬件会使通道使能寄存器（DMA_CHEN）相应位自动清零。可能会和软件写使能 DMA_CHEN 产生冲突。

■ 变通措施

避免在 DMA_CHEN 的某位或某几位自动清零时，对该寄存器内执行 RMW 操作。

2.5.2 DMA 通道配置

■ 问题描述

DMA 同一单元内，有通道正在进行 Block 传输时，无法修改本单元内其他通道的配置。

■ 变通措施

配置 DMA 寄存器后，读取对应寄存器值判断是否写入成功，如未成功，继续写直至成功或超时处理。

2.5.3 DMA 源地址/目标地址与位宽对齐

■ 应用注意

1) DMA 在 16 bit 位宽传输数据时，需保证源地址/目标地址 half word 对齐。
2) DMA 在 32 bit 位宽传输数据时，需保证源地址/目标地址 word 对齐。

2.6 XTAL32 注意事项

2.6.1 关闭未使用的 XTAL32

■ 问题描述

当不使用外部低速时钟 XTAL32，且引脚 PC15 作为数字功能时，如果该引脚被设置为开漏输出模式或输入模式，有概率不能被外部上拉电阻上拉到期望电平。

■ 变通措施

在启动文件的 Reset_Handler 第一句执行代码处，关闭 XTAL32 功能，推荐流程如下：

1) 写 PWC_FPRC = 0xA501，打开 CMU_XTAL32CR 寄存器写使能
2) 置位 CMU_XTAL32CR.XTAL32STP
3) 写 PWC_FPRC = 0xA500，关闭 CMU_XTAL32CR 寄存器写使能

IAR 参考代码：

```
Reset_Handler
; PWC_FPRC unlock
                LDR     R0, =0x400543FE
                LDR     R1, =0xA501
                STRH    R1, [R0]
; XTAL32 Stop
                LDR     R0, =0x40054420
                LDR     R1, =0x1
                STRB    R1, [R0]
; PWC_FPRC lock
                LDR     R0, =0x400543FE
                LDR     R1, =0xA500
                STRH    R1, [R0]
```

MDK 参考代码：

```
Reset_Handler   PROC
                EXPORT  Reset_Handler           [WEAK]
                IMPORT  SystemInit
                IMPORT  __main
; PWC_FPRC unlock
                LDR     R0, =0x400543FE
                LDR     R1, =0xA501
                STRH    R1, [R0]
; XTAL32 Stop
                LDR     R0, =0x40054420
                LDR     R1, =0x1
```

```
                STRB    R1, [R0]
; PWC_FPRC lock
                LDR     R0, =0x400543FE
                LDR     R1, =0xA500
                STRH    R1, [R0]
```

GCC 参考代码：

```
Reset_Handler:
// PWC_FPRC unlock:
                ldr         r0, =0x400543FE
                ldr         r1, =0xA501
                strh        r1, [r0]
// XTAL32 Stop:
                ldr         r0, =0x40054420
                ldr         r1, =0x1
                strb        r1, [r0]
// PWC_FPRC lock:
                ldr         r0, =0x400543FE
                ldr         r1, =0xA500
                strh        r1, [r0]
```

2.7 其他

2.7.1 寄存器保留位注意事项

■ 应用注意

所有寄存器的保留位（除本文提及），请确保芯片使用过程中一直为缺省值，否则可能造成不可预期的结果。

3 定时器、计数器

3.1 Timer0 注意事项

3.1.1 同步模式写寄存器

■ 应用注意

在同步时钟下，对 BCONR 寄存器中的 CSTA/ CSTB 位进行写操作，需要等待 3 个时钟周期才能写入成功。

3.2 Timer6 注意事项

3.2.1 TIM6_TRIGA~B 端口的使用

■ 应用注意

TIM6_TRIGA~B 的数字滤波功能由单元 1 的 FCONR 设定。

Timer6 任意单元使用 TIM6_TRIGA~B 端口时，都需要将功能控制器 PWC_FCG2 中的 TIMER6_1 位清零。

3.2.2 三角波计数时 PWM 第一个脉宽可能多一个计数周期

■ 问题描述

三角波计数时，如果 counter 初值设为 0（TMR6_CNTER = 0U），输出的 PWM 第一个脉宽会多一个计数周期。

■ 变通措施

三角波计数时，设置 counter 初值为 1（TMR6_CNTER = 1U）。

3.2.3 停止计数后 CNTER 寄存器可能写入失败

■ 问题描述

当计数时钟选择 GCONR.CKDIV 不为 0 时，停止计数后立即写 CNTER 寄存器，计数值可能无法正确写入。

■ 变通措施

使用以下任意一项即可。

1) 写寄存器 GCONR.START 为 0 停止计数后，通过软件等待一个计数时钟，再写入 CNTER 寄存器。
2) 同时写寄存器 GCONR.START 和 GCONR.CKDIV 为 0 停止计数后，再写入 CNTER 寄存器。

3.3 TimerA 注意事项

3.3.1 输入捕获

■ 应用注意

TimerA 只有通道 4 可以捕获 TIMA_<t>_TRIG 的上升/下降沿，该功能由通道 3 的捕获控制寄存器 CCONR3.HICP4/ HICP3 使能或禁止。

3.3.2 PWM 输出

■ 问题描述

当使用 PCLK 作为计数时钟且时钟分频数不为 0（BCSTRL.CKDIV[3:0]!=0b0000）时，无法指定计数器启动时端口的输出电平（即 PCONR.STAC[1:0]=0b00 或 0b01 设置无效）。

■ 变通措施

在使用 PCLK 作为 TimerA 的计数时钟时，若要指定计数器启动时端口的输出电平，需要将 PCLK 的时钟分频数设置为 0（BCSTRL.CKDIV[3:0]=0b0000）。

3.3.3 动态修改 PWM 占空比为 100%或 0%

■ 问题描述

使用锯齿波计数模式实现 PWM 输出时，在 PWM 输出过程中，配置 PCONR.FORC 指定 PWM 从下一个周期开始只输出高电平或低电平，以修改 PWM 占空比为 100%或 0%时，在指定电平生效之前，PWM 会保持当前电平状态至该周期结束，如图 3-1 所示。

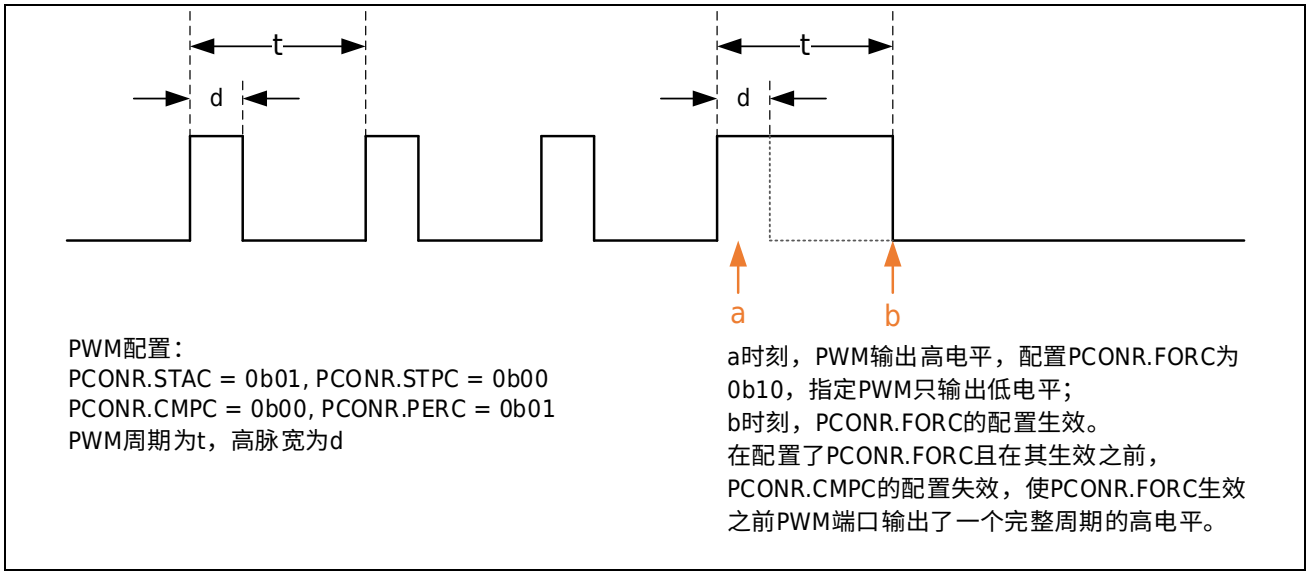


图 3-1 动态修改 PWM 占空比为 0%

■ 变通措施

PWM 初始化配置要求：

在初始化 PWM 时，比较值匹配和周期匹配时的端口状态配置为相反的固定电平，不使用反转电平。

动态修改 PWM 的占空比改为 100%：

将比较值匹配和周期匹配时的端口状态，配置为高电平，即 PCONR.CMPC 和 PCONR.PERC 都配置为 0b10。

动态修改 PWM 的占空比改为 0%：

将比较值匹配和周期匹配时的端口状态，配置为低电平，即 PCONR.CMPC 和 PCONR.PERC 都配置为 0b00。

恢复 PWM 的占空比为初始化时的占空比：

将比较值匹配和周期匹配时的端口状态，恢复为初始化时的配置，即可恢复占空比。

3.3.4 三角波计数时 PWM 第一个脉宽可能多一个计数周期

■ 问题描述

三角波计数时，如果 counter 初值设为 0（TMRA_CNTER = 0U），输出的 PWM 第一个脉宽会多一个计数周期。

■ 变通措施

三角波计数时，设置 counter 初值为 1（TMRA_CNTER = 1U）。

3.3.5 停止计数后 CNTER 寄存器可能写入失败

■ 问题描述

当计数时钟选择 BCSTRL.CKDIV 不为 0 时，停止计数后立即写 CNTER 寄存器，计数值可能无法正确写入。

■ 变通措施

使用以下任意一项即可。

1) 写寄存器 BCSTRL.START 为 0 停止计数后，通过软件等待一个计数时钟，再写入 CNTER 寄存器。
2) 同时写寄存器 BCSTRL.START 和 BCSTRL.CKDIV 为 0 停止计数后，再写入 CNTER 寄存器。

3.3.6 PWM 输出停止及恢复

■ 问题描述

在 PWM 输出过程中，若使用 PCONRm.OUTEN（m 表示通道）停止 PWM 输出和恢复 PWM 输出，在停止到恢复的切换过程中，PWM 可能输出非期望电平或毛刺。

■ 变通措施

通过 PCONRm.FORC 先将 PWM 内部输出强制为期望电平，再将 PWM 引脚配置为 GPIO 功能并输出期望电平，从而在切换过程中保持电平连续。

停止 PWM 输出流程：

1) 配置 PCONRm.FORC，将 PWM 输出强制为停止后的期望电平；
2) 将该引脚 PCRxy.POUT 写为相同电平（x 表示端口，y 表示引脚号），并将 PCRxy.POUTE 置 1，使能该引脚 GPIO 输出；
3) 写 PCRxy.LTE 为 1 使能输出锁存；
4) 写 PFSRxy.FSEL 为 0 将该引脚功能切换为 GPIO，由 GPIO 接管输出；
5) 写 PCRxy.LTE 为 0 关闭输出锁存。

恢复 PWM 输出流程：

1) 写 PCRxy.LTE 为 1 使能输出锁存；
2) 写 PFSRxy.FSEL 为 PWM 功能号将该引脚功能切换回 PWM 功能；
3) 写 PCRxy.LTE 为 0 关闭输出锁存；
4) 将 PCONRm.FORC 清零，撤销强制电平，由 PWM 正常驱动输出。

4 通信及接口

4.1 I2C 注意事项

4.1.1 主机接收模式可能发出多余时钟信号

■ 问题描述

进入主机接收模式后，当 DRR 寄存器或移位寄存器为空时，主机会主动发送时钟信号读取数据，应用代码可能无法及时将 CR1.STOP 标志位写 1 停止时钟信号的发送，导致发出多余的时钟信号。若这种情况导致 DRR 寄存器有多余的数据未被读取，此时无法通过 CR1.STOP 标志位写 1 发出停止条件。

■ 变通措施

结合以下两个步骤规避：

1) 配置作为主机时，将 CR4.BUSWAIT 寄存器位写 1 使能总线等待功能。此功能使能后，当 DRR 寄存器中有数据还未被读走时，主机不会继续发送时钟信号读取数据。
2) 主机接收数据流程中，当最后 1 Byte 数据进入 DRR 寄存器后（判断 SR.RFULLF 为 1），首先写 CR1.STOP 寄存器发送停止条件使主机退出接收模式，然后再读取 DRR 寄存器内的数据。

4.1.2 主机接收模式无法判断设备地址是否发送完成

■ 问题描述

写 DTR 寄存器发送设备地址后，I2C 模块立即进入主机接收模式，此时 SR.TENDF 寄存器标志位失效，无法通过 SR.TENDF 标志来判断地址是否发送完成。

■ 变通措施

写 DTR 寄存器发送设备地址后，通过等待 SR.TRA 标志位为 0 来判断地址是否发送完成。

4.1.3 从机发送模式可能导致总线拉低

■ 问题描述

从机发送模式下，如收到主机的 NACK 信号后继续向 DTR 寄存器写了数据，此数据未被主机读走，从机会拉低 SDA 信号，导致主机端无法发出停止条件。

■ 变通措施

避免在 NACK 信号后写 DTR 寄存器，若因此操作出现无法释放总线情况后，通过 I2C 外设软件复位释放总线。

4.1.4 超时功能注意事项

■ 问题描述

超时功能寄存器 SLTR.TOUTHIGH 和 SLTR.TOUTLOW 位宽为 16 位，超时功能计时范围有限。

■ 变通措施

在超时中断内进行软件计数实现对较长超时时间的功能需求。

4.2 I2S 注意事项

4.2.1 从机接收数据声道区分

■ 应用注意

I2S 从机接收数据时，不能区分数据归属于左/右声道。

4.2.2 从机数据错位

■ 应用注意

I2S 从机传输数据时，因外界干扰造成数据错乱，可能发生数据移位（即数据位和时钟位失步），数据移位后不能通过 WS 线自动同步时钟。

4.3 SPI 注意事项

4.3.1 SPI 主机模式数据发送间隔

■ 应用注意

主机发出的两个连续的数据之间会至少间隔 3 个 SCK 周期和 2 个 PCLK 周期的时间，导致 SCK 波形不连续。

4.3.2 SPI 从机模式数据间隔

■ 应用注意

SPI 从机模式要求主机帧与帧之间必须有 2 个 SCK 周期和 2 个 PCLK 周期的间隔，否则会出错。

4.4 QSPI 注意事项

4.4.1 4 线读写数据

■ 应用注意

QSPI 支持 4 线读取数据，但不支持 4 线写入数据，只支持单线写入数据。

4.4.2 标准读最高速率

■ 问题描述

QSPI 标准读模式，在 QSPI 时钟频率较高时，读写 Flash 数据异常。

■ 变通措施

请根据实际连接的 QSPI-ROM 的规格选择合适的读取模式。

4.4.3 输入数据保持时间

■ 应用注意

在全温域条件下，QSPI 接口特性要求数据输入保持时间最小为 11 ns，使用 QSPI 与其他设备进行通信时，需要查看设备对应的手册是否满足此特性。

4.5 USART 注意事项

4.5.1 USART 发送空中断注意事项

■ 问题描述

在 USART 发送功能已经使能 (USART_CR1.TE=1) 情况下，再使能发送空中断(USART_CR1.TXEIE=1)，不会产生发送空中断。

■ 变通措施

在 USART 发送功能未使能（USART_CR1.TE=0）情况下，同时使能发送功能和发送空中断（USART_CR1|=0x0000 0088)。

4.5.2 USART 单个通道硬件流控限制

■ 问题描述

单个通道无法实现 CTS 和 RTS 的硬件流控功能。

■ 变通措施

两个 USART 通道分别使用 CTS 和 RTS 功能。

4.6 CAN 控制器注意事项

4.6.1 总线被干扰时发出未定义帧

■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出应用程序未定义的帧，包括未定义的 ID 或未定义的数据。

■ 变通措施

变通措施包括以下几点：

1) 将 CAN 的控制逻辑时钟频率设置为至少是 CAN 的通信时钟频率的 1.5 倍。例如，通信时钟频率为 20 MHz，那么控制逻辑时钟的频率最低须设置为 30 MHz。各系列 MCU 的通信时钟和控制逻辑时钟如表 4-1 所示。

表 4-1 CAN 控制器时钟

通信时钟	控制逻辑时钟
外部高速晶振	EXCLK

2) 发送使能后，在发送完成之前，不向任何发送 Buffer 填充数据并使能发送；建议应用程序只用 PTB 发送，在需要多帧发送时建立软件发送 Buffer 或者 FIFO，由软件调度发送。

3) 在应用程序中增加消息有效性确认机制，如增加握手协议、增加帧（包括 ID 和数据）的校验、根据系统状态判断新接收的帧是否采用等。

4.6.2 总线被干扰时发出未定义波形占用总线

■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出 CAN 协议未定义的波形占用总线。

■ 变通措施

建议每次只填充发送一帧数据，并做发送超时处理。正常发送完成后，可直接继续填充并发送新的帧；如果发送超时，需重新初始化 CAN 控制器并等待至少 11 个 CAN 位时间，再进行发送。

发送超时的时间，可粗略的根据总线节点总数以及波特率来计算。

以如下条件举例说明：

1) 如总线节点 10 个；

2) 波特率 1 Mbps；

3) 数据长度 8 字节，设发送所需的最长时间为 140 μs。

理论上，在正常情况下，10 个节点依次全部发完一帧需要至少约 1.4 ms，那么超时时间可设置为 2 ms 或更长。但当总线被干扰时，超时时间应再长一些，如 5 ms。

发送超时后，CAN 控制器的初始化流程如下：

1) 关闭 CAN 控制器的外设时钟（通过 FCG 寄存器）；

2) 使能 CAN 控制器的外设时钟（通过 FCG 寄存器）；

3) 初始化 CAN 控制器的寄存器。

4.6.3 通信时钟不分频时采样点不准确

■ 问题描述

当通信时钟不分频（CAN_BT.PRESC=0x00）时，CAN 通信的采样点不准确。

■ 变通措施

在配置位时间时，必须对通信时钟进行分频（CAN_BT.PRESC≥0x01）。

4.7 SDIOC 注意事项

4.7.1 长响应（136 bit）命令应答

■ 问题描述

SDIOC 在长响应（136 bit）的命令应答时，会硬件裁剪最后 1 个 Byte 的数据，造成数据整体向低位右移 8 bit。

■ 变通措施

将数据整体向高位左移 8 bit。

5 模拟

5.1 ADC 注意事项

5.1.1 ADC 的输入受到干扰

■ 问题描述

ADC 通道转换时，避免 PA0~PA7、PB0~PB2、PC4~PC5 端口翻转，否则将导致转换精度变差。(表现为：DC 电压输入，转换结果为一定范围内跳动的值)。

■ 变通措施

建议 1：降低输入时钟的频率和摆幅，以减小干扰摆幅。

建议 2：多次转换取平均值。

建议 3：ADC 的输入通道在 PCB 板上要远离高速时钟信号。

5.2 OTS 注意事项

■ 问题描述

使用 OTS 测量温度时，数据寄存器 OTS_DR1 和 OTS_DR2 可能随机地出现异常，导致计算出的温度值不正确。

■ 变通措施

软件同时实施以下措施：

1) OTS_CTL 寄存器的 TSSTP 位设置为“1”；

2) 每次温度测量完成后计算温度值时，对数据寄存器 OTS_DR1 和 OTS_DR2 做有效性判定。若 OTS_DR1 或 OTS_DR2 小于 1000（十进制），则判定本次温度测量无效，需重新测量。

6 其他

6.1 TRNG 注意事项

6.1.1 上电复位时，TRNG 产生的随机数为固定值

- 问题描述

每次上电复位时，TRNG 产生的随机数为固定值。

- 变通措施

上电复位后，启动 TRNG 产生随机数，舍弃前 10 个随机数，从第 11 个随机数开始取用。

版本修订记录

版本号	修订日期	修订内容
Rev1.00	2022/05/27	初版发布。
Rev1.10	2022/06/22	增加“CAN 控制器注意事项”章节。
Rev1.20	2023/06/05	1) 增加“ADC 注意事项”“TRNG 注意事项”“SRAM 跨区访问”“输入数据保持时间”章节。 2) 修改 2.1.6 注意事项；修改 2.2.1 注意事项；“准读最高速率”修改为“标准读最高速率”。 3) 删除 I2C 注意事项“异常时序导致总线拉低”章节。 4) 手册拆分升级：“ES_HC32F4xx_A4xx 系列勘误表_Rev1.10”拆分升级为“ES_HC32F4A0_A4A0 系列勘误表_Rev1.20”和“ES_HC32F460_A460_F451_F452 系列勘误表_Rev1.20”。
Rev1.21	2023/11/08	1) 修改“时钟分频配置寄存器对掉电模式的影响”“掉电模式唤醒后系统时钟异常”“EXTINT 使用限制”。 2) 新增“中断配置流程注意事项”。 3) 新增 TimerA 注意事项“动态修改 PWM 占空比为 100%或 0%”。 4) SRAM 注意事项：删除“SRAM3 访问等待周期及 ECC 功能”，新增“SRAM3 ECC”。
Rev1.22	2024/04/11	1) TimerA 注意事项，新增“三角波计数时 PWM 第一个脉宽可能多一个计数周期”。 2) Timer6 注意事项，新增“三角波计数时 PWM 第一个脉宽可能多一个计数周期”。 3) CAN 控制器注意事项，新增“通信时钟不分频时采样点不准确”。 4) 新增“有关 OTP 中错误地留有数据的说明”。
Rev1.30	2024/07/12	1) 章节顺序调整。 2) Timer6 注意事项新增“停止计数后 CNTER 寄存器可能写入失败”。 3) 删除 HC32A460 内容。
Rev1.40	2025/05/20	1) DMA 注意事项，新增“DMA 源地址/目标地址与位宽对齐”。 2) 添加关闭 XTAL32 的注意事项。 3) TimerA 注意事项，新增“停止计数后 CNTER 寄存器可能写入失败”。 4) CAN 控制器注意事项“总线被干扰时发出未定义帧”，变通措施第 2 点新增描述。

		5) 手册合并升级：“ES_HC32F460_F451_F452 系列勘误表_Rev1.30”和“ES_HC32A460 系列勘误表_Rev1.30”合并升级为“ES_HC32F460_F451_F452_A460 系列勘误表_Rev1.40”。
Rev1.41	2026/07/02	1) USART 注意事项，USART_CR1.TX 修正为 USART_CR1.TE。 2) 新增“OTS 注意事项”。
Rev1.42	2026/10/29	新增 TimerA 注意事项“PWM 输出停止及恢复”。