XHSC 小华半导体
XIAOHUA SEMICONDUCTOR

32 位微控制器

HC32F4A0_A4A0_F4A2 系列

勘误表

Rev1.53　2026 年 10 月

适用对象

产品系列	产品型号	产品系列	产品型号
HC32F4A0 系列	HC32F4A0PGHB HC32F4A0PGTB HC32F4A0PIHB HC32F4A0PITB HC32F4A0RGTB HC32F4A0RITB HC32F4A0SGHB HC32F4A0SGTB HC32F4A0SIHB HC32F4A0SITB HC32F4A0TIHB	**HC32F4A2 系列**	HC32F4A2PIHB HC32F4A2PITB HC32F4A2RITB HC32F4A2SIHB HC32F4A2SITB HC32F4A2TIHB
HC32A4A0 系列	HC32A4A0PITI HC32A4A0SITI	**-**	-

声　明

★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。

★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。

★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。

★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。

★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

★ 重要提示：在使用本产品前，请务必查阅官方发布的最新勘误表，充分知悉产品已知修正信息，规避使用风险。

★ 本通知中的信息取代并替换先前版本中的信息。

©2026 小华半导体有限公司 保留所有权利

目 录

适用对象 **2**
声 明 **3**
目 录 **4**
1 摘要 **7**
2 系统 **8**
2.1 PWC 注意事项 8
2.1.1 可编程电压检测标志位清除 8
2.1.2 停止模式唤醒异常 8
2.1.3 停止模式注意事项 8
2.1.4 掉电模式注意事项 8
2.1.5 高速模式向超低速模式切换注意事项 8
2.2 SRAM 注意事项 9
2.2.1 SRAM 跨区访问 9
2.2.2 SRAM4 ECC 9
2.2.3 SRAMB ECC 9
2.3 INTC 注意事项 10
2.3.1 EXTINT 使用限制 10
2.3.2 中断配置流程注意事项 10
2.4 DMA 注意事项 10
2.4.1 DMA 源地址/目标地址与位宽对齐 10
2.5 其他 11
2.5.1 寄存器保留位注意事项 11
3 定时器、计数器 **12**
3.1 Timer6 注意事项 12
3.1.1 三角波计数时 PWM 第一个脉宽可能多一个计数周期 12
3.1.2 停止计数后 CNTER 寄存器可能写入失败 12
3.2 TimerA 注意事项 12
3.2.1 输入捕获 12
3.2.2 PWM 输出 12
3.2.3 动态修改 PWM 占空比为 100%或 0% 13
3.2.4 三角波计数时 PWM 第一个脉宽可能多一个计数周期 13
3.2.5 停止计数后 CNTER 寄存器可能写入失败 14
3.2.6 PWM 输出停止及恢复 14
3.3 HRPWM 注意事项 15

3.3.1 PWM 脉宽及下降沿延迟注意事项 15
3.4 RTC 注意事项 15
3.4.1 控制寄存器 2（RTC_CR2）寄存器位 0 RWREQ 描述追加说明 15
4 通信及接口 16
4.1 I2C 注意事项 16
4.1.1 主机接收模式可能发出多余时钟信号 16
4.1.2 主机接收模式无法判断设备地址是否发送完成 16
4.1.3 从机发送模式可能导致总线拉低 16
4.1.4 超时功能注意事项 16
4.2 I2S 注意事项 17
4.2.1 从机接收数据声道区分 17
4.2.2 从机数据错位 17
4.3 SPI 注意事项 17
4.3.1 SPI 主机模式数据发送间隔 17
4.3.2 SPI 从机模式数据间隔 17
4.4 QSPI 注意事项 17
4.4.1 4 线读写数据 17
4.4.2 标准读最高速率 17
4.4.3 输入数据保持时间 18
4.5 CAN 控制器注意事项 18
4.5.1 总线被干扰时发出未定义帧 18
4.5.2 总线被干扰时发出未定义波形占用总线 18
4.5.3 CANFD 模式下的异常 19
4.6 SDIOC 注意事项 19
4.6.1 长响应（136bit）命令应答 19
4.6.2 总线时钟频率 20
4.7 EXMC 注意事项 20
4.7.1 EXMC 连续读/写访问延迟 20
4.7.2 EXMC SMC 注意事项 20
4.7.3 EXMC DMC/ NFC/ SMC 互斥访问 21
4.7.4 EXMC SMC 同步模式读写完成后多一个时钟 21
5 模拟 23
5.1 ADC 注意事项 23
5.1.1 ADC 的输入受到干扰 23
5.1.2 ADC 的通道专用采样保持 SH 23

5.2 DAC 注意事项 23
5.2.1 DAC 输出电压偏移超出手册规格 23
5.3 OTS 注意事项 23
6 其他 25
6.1 TRNG 注意事项 25
6.1.1 上电复位时，TRNG 产生的随机数为固定值 25
6.2 DCU 注意事项 25
6.2.1 DCU 三角波锯齿波模式中断注意事项 25
6.3 MAU 注意事项 25
6.3.1 SQRT 结果寄存器溢出风险 25
版本修订记录 27

1 摘要

本文档主要介绍 HC32F4A0/ HC32A4A0/ HC32F4A2 系列芯片的使用注意事项和变通措施。

2 系统

2.1 PWC 注意事项

2.1.1 可编程电压检测标志位清除

■ 应用注意

PVD 检测状态寄存器(PWC_PVDDSR)中检测标志位 PVD1DETFLG 和 PVD2DETFLG 均由 PVD1DETFLG 清除。

2.1.2 停止模式唤醒异常

■ 问题描述

HCLK 分频系数为 1，PCLK1/2/3/4、EXCLK 分频系数大于等于 8，进 STOP 的 WFI 指令发出后，芯片真正进入停止模式前，如果此时唤醒中断产生，芯片进入停止模式后，可能无法唤醒。

■ 变通措施

1) 时钟频率关系满足 HCLK：外设时钟 = 1:1 或 2:1 或 4:1。
2) 当时钟频率关系 HCLK：外设时钟 > 4:1 时，配置 PCLK1=PCLK3，且 PCLK1 与 PCLK3 使用其最大时钟分频（CMU_SCFGR.PCLK1S=0b110，CMU_SCFGR.PCLK3S=0b110）。

2.1.3 停止模式注意事项

■ 应用注意

进入停止模式的 WFI/WFE 指令发出后，芯片真正进入停止模式前，此时如果有不用于停止模式唤醒的异常事件产生，芯片会优先响应此异常，不进入停止模式。

2.1.4 掉电模式注意事项

■ 问题描述

进掉电模式的 WFI 指令发出后，芯片真正进入掉电模式前，此时如果有不用于掉电模式唤醒的异常（exception）产生，芯片会优先响应此异常，不进入掉电模式。

■ 变通措施

在进入掉电模式之前，关闭除 NMI 异常以外的所有异常（__set_FAULTMASK(1)）。

2.1.5 高速模式向超低速模式切换注意事项

■ 问题描述

使能缓存（CACHE）功能，如果高速模式切换到超低速模式运行，可能会导致 CPU 访问缓存（CACHE）数据异常，程序执行异常。

■ 变通措施

在切换到超低速模式之前，关闭缓存（CACHE）功能。

2.2 SRAM 注意事项

2.2.1 SRAM 跨区访问

■ 问题描述

SRAMH（0x1FFE 0000~0x1FFF FFFF）和 SRAM1（0x2000 0000~0x2001 FFFF）之间跨区访问时，会出现数据读写错误。例如，定义 uint32_t*类型指针指向地址 0x1FFF FFFE，通过指针对该地址进行 uint32_t 类型的读写时数据会出错。

■ 变通措施

避免 SRAMH 和 SRAM1 之间的跨区访问。

2.2.2 SRAM4 ECC

■ 问题描述

当 SRAM4 ECC 功能使能时，向目标地址写非 32 位数据时，如果目标地址所在的 32 位字对齐地址的数据发生 1-bit ECC 错误，ECC 功能会将没有纠错的数据写入到 32 位字对齐地址，后续访问该地址时，ECC 错误标志位不置位。

■ 变通措施

实施以下任意一条：

1) 禁止 SRAM4 ECC 功能。
2) 写 SRAM4 时，仅进行 32 位字对齐地址的 32 位数据写入。
3) 将 SRAM 校验控制寄存器的 ECCMOD[1:0]设置为 0b11 或 0b10，若发生 1-bit ECC 错误按未纠错处理。

2.2.3 SRAMB ECC

■ 问题描述

当 SRAMB ECC 功能使能，向目标地址写非 32 位数据时，可能出现以下问题：

1) 如果目标地址所在的32位字对齐地址的数据发生1-bit ECC错误，ECC功能会将没有纠错的数据写入到32位字对齐地址，后续访问该地址时，ECC错误标志位不置位。
2) CPU时钟频率大于120MHz时，可能会误报ECC错误（1-bit ECC错误或2-bit ECC错误），根据应用程序设定，可能产生非预期的NMI中断或系统复位。

■ 变通措施

实施以下任意一条：

1) 禁止 SRAMB ECC 功能。
2) 写 SRAMB 时，仅进行 32 位字对齐地址的 32 位数据写入。

3) 配置 CPU 时钟频率不大于 120MHz，将 SRAM 校验控制寄存器的 BECCMOD[1:0]设置为 0b11 或 0b10，若发生 1-bit ECC 错误按未纠错处理。

2.3 INTC 注意事项

2.3.1 EXTINT 使用限制

■ 问题描述

同 Pin 位号的外部中断功能同时使能，外部中断信号由所有使能对应管脚的电平的逻辑或条件决定。例如 PA0、PB0 同时置位 PCRx0:INTE，低电平有效，需 PA0、PB0 同时为低时，外部中断通道 0 被响应。

■ 变通措施

每个外部中断通道可配置的 I/O 不止一个，使用同一通道的外部中断，不要配置多个 Pin。例如：PA0 和 PB0 的外部中断不要同时使能。

2.3.2 中断配置流程注意事项

■ 问题描述

在 EXTINT 的中断配置流程中，在外部管脚为高电平情况下有下述问题：

1) 当选择 EXTINT 上升沿中断时，先使能 NVIC（NVIC_EnableIRQ），后使能外设中断，会立即产生一个中断信号；
2) 当选择 EXTINT 下降沿中断时，在 NVIC（NVIC_EnableIRQ）使能的情况下，关闭外设中断，会立即产生一个中断信号。

■ 变通措施

EXTINT 的中断配置流程为：

1) 当需要使用中断时，先使能外设中断，再清除 Pending 信号（NVIC_ClearPendingIRQ），最后使能 NVIC 中断（NVIC_EnableIRQ）；
2) 当需要关闭中断时，先关闭 NVIC 中断（NVIC_DisableIRQ），然后关闭外设中断。

2.4 DMA 注意事项

2.4.1 DMA 源地址/目标地址与位宽对齐

■ 应用注意

1) DMA 在 16 bit 位宽传输数据时，需保证源地址/目标地址 half word 对齐。
2) DMA 在 32 bit 位宽传输数据时，需保证源地址/目标地址 word 对齐。

2.5 其他

2.5.1 寄存器保留位注意事项

■ 应用注意

所有寄存器的保留位（除本文提及），请确保芯片使用过程中一直为缺省值，否则可能造成不可预期的结果。

3 定时器、计数器

3.1 Timer6 注意事项

3.1.1 三角波计数时 PWM 第一个脉宽可能多一个计数周期

■ 问题描述

三角波计数时，如果 counter 初值设为 0（TMR6_CNTER = 0U），输出的 PWM 第一个脉宽会多一个计数周期。

■ 变通措施

三角波计数时，设置 counter 初值为 1（TMR6_CNTER = 1U）。

3.1.2 停止计数后 CNTER 寄存器可能写入失败

■ 问题描述

当计数时钟选择 GCONR.CKDIV 不为 0 时，停止计数后立即写 CNTER 寄存器，计数值可能无法正确写入。

■ 变通措施

使用以下任意一项即可。

1) 写寄存器 GCONR.START 为 0 停止计数后，通过软件等待一个计数时钟，再写入 CNTER 寄存器。

2) 同时写寄存器 GCONR.START 和 GCONR.CKDIV 为 0 停止计数后，再写入 CNTER 寄存器。

3.2 TimerA 注意事项

3.2.1 输入捕获

■ 应用注意

TimerA 只有通道 4 可以捕获 TIMA_<t>_TRIG 的上升/下降沿，该功能由通道 3 的捕获控制寄存器 CCONR3.HICP4/ HICP3 使能或禁止。

3.2.2 PWM 输出

■ 问题描述

当使用 PCLK 作为计数时钟且时钟分频数不为 0（BCSTRL.CKDIV[3:0]!= 0b0000）时，无法指定计数器启动时端口的输出电平（即 PCONR.STAC[1:0]=0b00 或 0b01 设置无效）。

■ 变通措施

在使用 PCLK 作为 TimerA 的计数时钟时，若要指定计数器启动时端口的输出电平，需要将 PCLK 的时钟分频数设置为 0（BCSTRL.CKDIV[3:0]=0b0000）。

3.2.3 动态修改 PWM 占空比为 100%或 0%

■ 问题描述

使用锯齿波计数模式实现 PWM 输出时，在 PWM 输出过程中，配置 PCONR.FORC 指定 PWM 从下一个周期开始只输出高电平或低电平，以修改 PWM 占空比为 100%或 0%时，在指定电平生效之前，PWM 会保持当前电平状态至该周期结束，如图 3-1 所示。

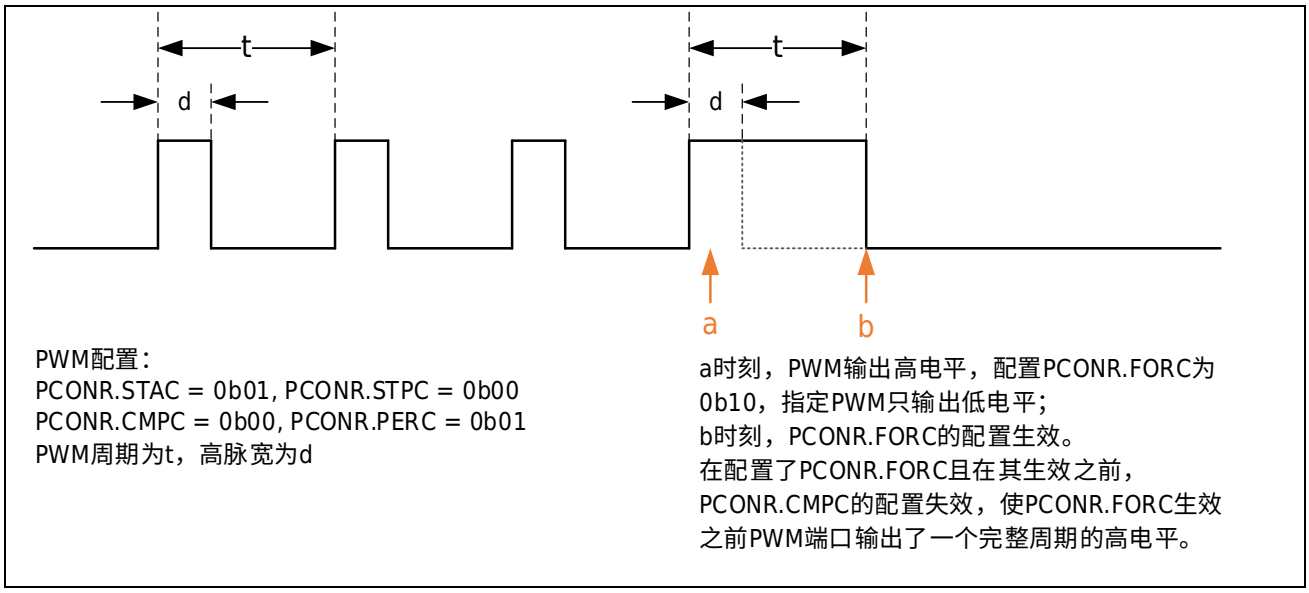


图 3-1 动态修改 PWM 占空比为 0%

■ 变通措施

PWM 初始化配置要求：

在初始化 PWM 时，比较值匹配和周期匹配时的端口状态配置为相反的固定电平，不使用反转电平。

动态修改 PWM 的占空比改为 100%：

将比较值匹配和周期匹配时的端口状态，配置为高电平，即 PCONR.CMPC 和 PCONR.PERC 都配置为 0b10。

动态修改 PWM 的占空比改为 0%：

将比较值匹配和周期匹配时的端口状态，配置为低电平，即 PCONR.CMPC 和 PCONR.PERC 都配置为 0b00。

恢复 PWM 的占空比为初始化时的占空比：

将比较值匹配和周期匹配时的端口状态，恢复为初始化时的配置，即可恢复占空比。

3.2.4 三角波计数时 PWM 第一个脉宽可能多一个计数周期

■ 问题描述

三角波计数时，如果 counter 初值设为 0（TMRA_CNTER = 0U），输出的 PWM 第一个脉宽会多一个计数周期。

■ 变通措施

三角波计数时，设置 counter 初值为 1（TMRA_CNTER = 1U）。

3.2.5 停止计数后 CNTER 寄存器可能写入失败

■ 问题描述

当计数时钟选择 BCSTRL.CKDIV 不为 0 时，停止计数后立即写 CNTER 寄存器，计数值可能无法正确写入。

■ 变通措施

使用以下任意一项即可。

1) 写寄存器 BCSTRL.START 为 0 停止计数后，通过软件等待一个计数时钟，再写入 CNTER 寄存器。
2) 同时写寄存器 BCSTRL.START 和 BCSTRL.CKDIV 为 0 停止计数后，再写入 CNTER 寄存器。

3.2.6 PWM 输出停止及恢复

■ 问题描述

在 PWM 输出过程中，若使用 PCONRm.OUTEN（m 表示通道）停止 PWM 输出和恢复 PWM 输出，在停止到恢复的切换过程中，PWM 可能输出非期望电平或毛刺。

■ 变通措施

通过 PCONRm.FORC 先将 PWM 内部输出强制为期望电平，再将 PWM 引脚配置为 GPIO 功能并输出期望电平，从而在切换过程中保持电平连续。

停止 PWM 输出流程：

1) 配置 PCONRm.FORC，将 PWM 输出强制为停止后的期望电平；
2) 将该引脚 PCRxy.POUT 写为相同电平（x 表示端口，y 表示引脚号），并将 PCRxy.POUTE 置 1，使能该引脚 GPIO 输出；
3) 写 PCRxy.LTE 为 1 使能输出锁存；
4) 写 PFSRxy.FSEL 为 0 将该引脚功能切换为 GPIO，由 GPIO 接管输出；
5) 写 PCRxy.LTE 为 0 关闭输出锁存。

恢复 PWM 输出流程：

1) 写 PCRxy.LTE 为 1 使能输出锁存；
2) 写 PFSRxy.FSEL 为 PWM 功能号将该引脚功能切换回 PWM 功能；
3) 写 PCRxy.LTE 为 0 关闭输出锁存；
4) 将 PCONRm.FORC 清零，撤销强制电平，由 PWM 正常驱动输出。

3.3 HRPWM 注意事项

3.3.1 PWM 脉宽及下降沿延迟注意事项

■ 应用注意

1) PWM 最小脉宽为 2 个 PCLK0；

2) HRPWM 下降沿校准选择寄存器域 HRPWM_CR.NSEL 小于等于校准结果 HRPWM_CALCR.CALCODE。

3.4 RTC 注意事项

3.4.1 控制寄存器 2（RTC_CR2）寄存器位 0 RWREQ 描述追加说明

■ 应用注意

原有描述：

在读出/写入日历寄存器时，需要将 RTC_CR2 的位 0 RWREQ 置 1，请求读写，由于计数器在连续计数，请在 1 秒的时间内完成读出/写入操作并将该位清 0。

追加描述：

如果 RWREQ 位置位后，没有在 1 秒内及时清零，将会导致计数器停止计数，使实时时钟 RTC 不能精确计时；如果 RWREQ 一直维持置位状态，则实时时钟 RTC 会停止计时。

4 通信及接口

4.1 I2C 注意事项

4.1.1 主机接收模式可能发出多余时钟信号

■ 问题描述

进入主机接收模式后，当 DRR 寄存器或移位寄存器为空时，主机会主动发送时钟信号读取数据，应用代码可能无法及时将 CR1.STOP 标志位写 1 停止时钟信号的发送，导致发出多余的时钟信号。若这种情况导致 DRR 寄存器有多余的数据未被读取，此时无法通过 CR1.STOP 标志位写 1 发出停止条件。

■ 变通措施

结合以下两个步骤规避：

1) 配置作为主机时，将 CR4.BUSWAIT 寄存器位写 1 使能总线等待功能。此功能使能后，当 DRR 寄存器中有数据还未被读走时，主机不会继续发送时钟信号读取数据。
2) 主机接收数据流程中，当最后 1Byte 数据进入 DRR 寄存器后（判断 SR.RFULLF 为 1），首先写 CR1.STOP 寄存器发送停止条件使主机退出接收模式，然后再读取 DRR 寄存器内的数据。

4.1.2 主机接收模式无法判断设备地址是否发送完成

■ 问题描述

写 DTR 寄存器发送设备地址后，I2C 模块立即进入主机接收模式，此时 SR.TENDF 寄存器标志位失效，无法通过 SR.TENDF 标志来判断地址是否发送完成。

■ 变通措施

写 DTR 寄存器发送设备地址后，通过等待 SR.TRA 标志位为 0 来判断地址是否发送完成。

4.1.3 从机发送模式可能导致总线拉低

■ 问题描述

从机发送模式下，如收到主机的 NACK 信号后继续向 DTR 寄存器写了数据，此数据未被主机读走，从机会拉低 SDA 信号，导致主机端无法发出停止条件。

■ 变通措施

避免在 NACK 信号后写 DTR 寄存器，若因此操作出现无法释放总线情况后，通过 I2C 外设软件复位释放总线。

4.1.4 超时功能注意事项

■ 问题描述

超时功能寄存器 SLTR.TOUTHIGH 和 SLTR.TOUTLOW 位宽为 16 位，超时功能计时范围有限。

■ 变通措施

在超时中断内进行软件计数实现对较长超时时间的功能需求。

4.2 I2S 注意事项

4.2.1 从机接收数据声道区分

■ 应用注意

I2S 从机接收数据时，不能区分数据归属于左/右声道。

4.2.2 从机数据错位

■ 应用注意

I2S 从机传输数据时，因外界干扰造成数据错乱，可能发生数据移位（即数据位和时钟位失步），数据移位后不能通过 WS 线自动同步时钟。

4.3 SPI 注意事项

4.3.1 SPI 主机模式数据发送间隔

■ 应用注意

主机发出的两个连续的数据之间会至少间隔 3 个 SCK 周期和 2 个 PCLK 周期的时间，导致 SCK 波形不连续。

4.3.2 SPI 从机模式数据间隔

■ 应用注意

SPI 从机模式要求主机帧与帧之间必须有 2 个 SCK 周期和 2 个 PCLK 周期的间隔，否则会出错。

4.4 QSPI 注意事项

4.4.1 4 线读写数据

■ 应用注意

QSPI 支持 4 线读取数据，但不支持 4 线写入数据，只支持单线写入数据。

4.4.2 标准读最高速率

■ 问题描述

QSPI 标准读模式，在 QSPI 时钟频率较高时，读写 Flash 数据异常。

■ 变通措施

请根据实际连接的 QSPI-ROM 的规格选择合适的读取模式。

4.4.3 输入数据保持时间

■ 应用注意

在全温域条件下，QSPI 接口特性要求数据输入保持时间最小为 11ns，使用 QSPI 与其他设备进行通信时，需要查看设备对应的手册是否满足此特性。

4.5 CAN 控制器注意事项

4.5.1 总线被干扰时发出未定义帧

■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出应用程序未定义的帧，包括未定义的 ID 或未定义的数据。

■ 变通措施

变通措施包括以下几点：

1) 将 CAN 的控制逻辑时钟频率设置为至少是 CAN 的通信时钟频率的 1.5 倍。例如，通信时钟频率为 20MHz，那么控制逻辑时钟的频率最低须设置为 30MHz。各系列 MCU 的通信时钟和控制逻辑时钟如表 4-1；

表 4-1 CAN 控制器时钟

通信时钟	控制逻辑时钟
（由寄存器 CMU_CANCKCFGR 指定）	PCLK1

2) 使用 CAN FD 时，CAN Slow 位时序分频与 CAN Fast 位时序分频设置为相同且最大为 2 分频（CAN_SBT.SPRESC= CAN_FBT.FPRESC=0x00 或 0x01）；
3) 发送使能后，在发送完成之前，不向任何发送 Buffer 填充数据并使能发送；建议应用程序只用 PTB 发送，在需要多帧发送时建立软件发送 Buffer 或者 FIFO，由软件调度发送；
4) 在应用程序中增加消息有效性确认机制，如增加握手协议、增加帧（包括 ID 和数据）的校验、根据系统状态判断新接收的帧是否采用等。

4.5.2 总线被干扰时发出未定义波形占用总线

■ 问题描述

当总线被干扰时，CAN 控制器在发送时可能发出 CAN 协议未定义的波形占用总线。

■ 变通措施

建议每次只填充发送一帧数据，并做发送超时处理。正常发送完成后，可直接继续填充并发送新的帧；如果发送超时，需重新初始化 CAN 控制器并等待至少 11 个 CAN 位时间，再进行发送。

发送超时的时间，可粗略的根据总线节点总数以及波特率来计算。

以如下条件举例说明：

1) 如总线节点 10 个；
2) 波特率 1Mbps；
3) 数据长度 8 字节，设发送所需的最长时间为 140μs。

理论上，在正常情况下，10 个节点依次全部发完一帧需要至少约 1.4ms，那么超时时间可设置为 2ms 或更长。但当总线被干扰时，超时时间应再长一些，如 5ms。

发送超时后，CAN 控制器的初始化流程如下：

1) 关闭 CAN 控制器的外设时钟（通过 FCG 寄存器）；
2) 使能 CAN 控制器的外设时钟（通过 FCG 寄存器）；
3) 初始化 CAN 控制器的寄存器。

4.5.3 CANFD 模式下的异常

■ 问题描述

如果 CAN FD 帧 FDF 位之前有一个填充位（标准 ID 的低 4 位为 0x8 或扩展 ID 的低 5 位为 0x10 将会使 FDF 位之前有一个填充位），传输延迟补偿（TDC）测量传输延迟时可能从填充位开始，而不是从正确的 FDF 位开始，使测量的传输延迟是一个错误的延迟，进而导致传输错误。

■ 变通措施

使用以下任意一项即可。

1) 禁止 TDC。如果信号从 CAN_TXD 经过 CAN 收发器到 CAN_RXD 的时间小于采样点设置的时间，则可不使用 TDC。如：波特率是 4Mbps（250ns/bit），采样点是 80%，那么采样点所在的时间是 200ns，如果收发器的延迟为 120ns，则不需要使用 TDC 功能。
2) 不使用 ID 低 4 位为 0x8 的标准 ID，不使用 ID 低 5 位为 0x10 的扩展 ID。

4.6 SDIOC 注意事项

4.6.1 长响应（136bit）命令应答

■ 问题描述

SDIOC 在长响应（136bit）的命令应答时，会硬件裁剪最后 1 个 Byte 的数据，造成数据整体向低位右移 8bit。

■ 变通措施

将数据整体向高位左移 8bit。

4.6.2 总线时钟频率

■ 应用注意

使用 SDIOC 外设时，须保证 EXCLK 大于或等于 PCLK1 的时钟频率。

4.7 EXMC 注意事项

4.7.1 EXMC 连续读/写访问延迟

■ 问题描述

EXMC 连续读/写访问之间会产生延迟。

■ 变通措施

用户需评估延迟是否满足需求。

4.7.2 EXMC SMC 注意事项

■ 应用注意

SMC 地址数据线未复用，CPU 单次访问时，控制信号输出情况如表 4-2 和表 4-3 所示。

表 4-2 异步操作，控制信号输出

存储器位宽	异步操作	CPU 访问宽度	单次访问，控制信号输出
16	读	8	2 次 OE 信号
		16	4 次 OE 信号
		32	8 次 OE 信号
	写	8	4 次 WE 信号
		16	4 次 WE 信号
		32	8 次 WE 信号
32	读	8	1 次 OE 信号
		16	2 次 OE 信号
		32	4 次 OE 信号
	写	8	4 次 WE 信号
		16	
		32	

表 4-3 同步操作，控制信号输出

存储器位宽	同步操作	CPU 访问宽度	突发长度	单次访问，控制信号输出
16	读	8	1 次	2 次 OE 信号
			其他配置	1 次 OE 信号
		16	1 次	4 次 OE 信号
			其他配置	1 次 OE 信号

存储器位宽	同步操作	CPU 访问宽度	突发长度	单次访问，控制信号输出
		32	1 次	8 次 OE 信号
			其他配置	2 次 OE 信号
	写	8	-	4 次 WE 信号
		16	1 次	4 次 WE 信号
			其他配置	1 次 WE 信号
		32	1 次	8 次 WE 信号
			4 次	2 次 WE 信号
			其他配置	1 次 WE 信号
32	读	8	-	1 次 OE 信号
		16	1 次	2 次 OE 信号
			其他配置	1 次 OE 信号
		32	1 次	4 次 OE 信号
			其他配置	1 次 OE 信号
	写	8	-	4 次 WE 信号
		16	-	4 次 WE 信号
		32	1 次	4 次 WE 信号
			其他配置	1 次 WE 信号

4.7.3 EXMC DMC/ NFC/ SMC 互斥访问

■ 问题描述

同时使能 DMC、NFC、SMC 两个或以上的功能，访问时会产生总线竞争，导致异常。

■ 变通措施

不同时使用 DMC、NFC、SMC 两个或以上的功能。

4.7.4 EXMC SMC 同步模式读写完成后多一个时钟

■ 应用注意

EXMC-SMC 同步模式，读写操作结束，CS 拉高后还会输出一个时钟，多出一个时钟是在 CS 片选信号无效期间，对实际应用没有影响。

以图 4-1 为例：CPU 读操作时，CS 拉高后，CLK 多输出了一个时钟。

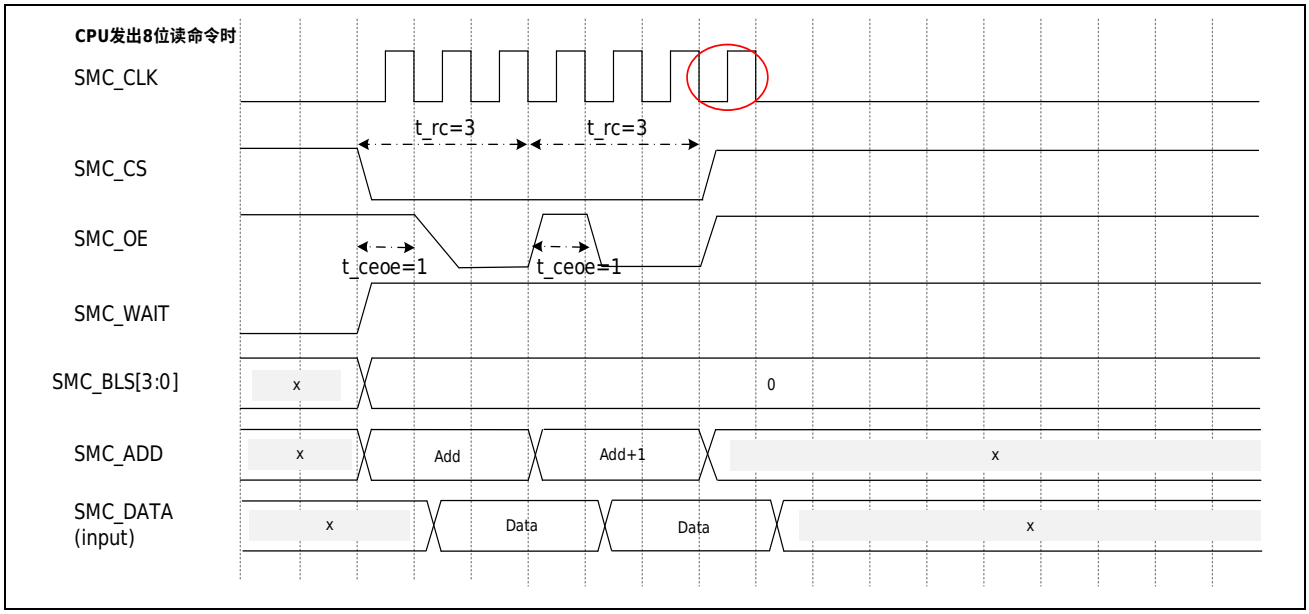


图 4-1 单次读动作基本时序（同步方式（RSYN=1）&&16 位位宽（MW=0b01））

5 模拟

5.1 ADC 注意事项

5.1.1 ADC 的输入受到干扰

■ 问题描述

当 ADC 通道转换时，避免 PA0~PA7、PB0~PB2、PC4~PC5、PH2~PH5 端口翻转，否则将导致转换精度变差。（表现为：DC 电压输入，转换结果为一定范围内跳动的值）。

■ 变通措施

建议 1：降低输入时钟的频率和摆幅，以减小干扰摆幅。

建议 2：多次转换取平均值。

建议 3：ADC 的输入通道在 PCB 板上要远离高速时钟信号。

5.1.2 ADC 的通道专用采样保持 SH

■ 应用注意

使用 ADC 的通道专用采样保持 SH 时，确保 AVCC 大于等于 2.7V。

5.2 DAC 注意事项

5.2.1 DAC 输出电压偏移超出手册规格

■ 问题描述

DAC 输出电压可能发生明显偏移，远超手册规格 15 LSB。

■ 变通措施

结合以下两个步骤进行规避：

1) DAC 使用前通过内部 ADC 测出 DA 输出电压的 OFFSET，软件上通过得到的 OFFSET 做补偿。
2) DAC 使用时，不进入低功耗模式。

5.3 OTS 注意事项

■ 问题描述

使用 OTS 测量温度时，数据寄存器 OTS_DR1 和 OTS_DR2 可能随机地出现异常，导致计算出的温度值不正确。

■ 变通措施

软件同时实施以下措施：

1) OTS_CTL 寄存器的 TSSTP 位设置为“1”；

2) 每次温度测量完成后计算温度值时，对数据寄存器 OTS_DR1 和 OTS_DR2 做有效性判定。若 OTS_DR1 或 OTS_DR2 小于 1000（十进制），则判定本次温度测量无效，需重新测量。

6 其他

6.1 TRNG 注意事项

6.1.1 上电复位时，TRNG 产生的随机数为固定值

■ 问题描述

每次上电复位时，TRNG 产生的随机数为固定值。

■ 变通措施

上电复位后，启动 TRNG 产生随机数，舍弃前 10 个随机数，从第 11 个随机数开始取用。

6.2 DCU 注意事项

6.2.1 DCU 三角波锯齿波模式中断注意事项

■ 问题描述

DCU 配置为三角波和锯齿波模式，寄存器 DATA0[11:0]达到峰值或谷值时，产生中断。如 DATA0 的值保持为峰值或谷值，将持续产生中断信号；直到 DATA0 变为非峰值或非谷值。

■ 变通措施

为避免重复中断响应，寄存器 DATA0[11:0]达到峰值或谷值后，先禁止该中断，等到 DATA0[11:0]为非谷值或峰值时，重新使能该中断。

6.3 MAU 注意事项

6.3.1 SQRT 结果寄存器溢出风险

■ 问题描述

当使用 Q 格式表示数据，为保持计算结果为原 Q 格式，对计算结果进行左移操作时，由于结果寄存器为 17bit，可能造成结果溢出。

■ 变通措施

不使用原左移操作寄存器，将开方结果寄存器 RTR0 的值保存在 32bit 的变量中后，再通过软件进行左移操作，以避免数据溢出风险。

举例说明：

被开方数位 Q20(1.0)=1048576：

1) 移位操作寄存器配置左移 10bit，输出结果为：RTR0=0，不符合实际计算结果；

2) 移位操作寄存器配置左移 0bit，输出结果位 RTR0=1024(Q10(1.0))，使用 32bit 变量 i32sqrt_result 保存 RTR0(Q10(1.0))，再通过软件对其进行移位操作：i32sqrt_result<<=10，计算结果为 i32sqrt_result=1048576(Q20(1.0))，即可得到正确计算结果。

版本修订记录

版本号	修订日期	修订内容
Rev1.00	2022/05/27	初版发布。
Rev1.10	2022/06/22	增加“CAN 控制器注意事项”章节。
Rev1.20	2023/06/05	1) 增加“ADC 注意事项”“RTC 注意事项”“MAU 注意事项”“TRNG 注意事项”“DAC 注意事项”“SRAM 跨区访问”“SRAM ECC”“CANFD 模式下的异常”“输入数据保持时间”“停止模式注意事项”“EXMC SMC 同步模式读写完成后多一个时钟”章节。 2) 修改“EXMC SMC 注意事项”；“准读最高速率”修改为“标准读最高速率”。 3) 删除 I2C 注意事项“异常时序导致总线拉低”章节。 4) 新增 HC32A4A0 型号支持。 5) 手册拆分升级：“ES_HC32F4xx_A4xx 系列勘误表_Rev1.10”拆分升级为“ES_HC32F4A0_A4A0 系列勘误表_Rev1.20”和“ES_HC32F460_A460_F451_F452 系列勘误表_Rev1.20”。
Rev1.21	2023/10/19	1) 停止模式唤醒异常修改。 2) 停止模式注意事项修改。 3) 掉电模式注意事项新增。 4) 中断配置流程注意事项新增。 5) HRPWM“PWM 脉宽及下降沿延迟注意事项”新增。 6) SRAM“SRAM4 ECC”“SRAMB ECC”新增。 7) TimerA“动态修改 PWM 占空比为 100%或 0%”新增。 8) SDIOC“总线时钟频率”新增。
Rev1.30	2024/03/19	手册拆分：“ES_HC32F4A0_A4A0 系列勘误表_Rev1.21”拆分为“ES_HC32F4A0 系列勘误表_Rev1.30”和“ES_HC32A4A0 系列勘误表_Rev1.30”。
Rev1.40	2024/07/15	1) 调整章节。 2) 新增“Timer6 注意事项”。 3) 新增 TimerA 注意事项“三角波计数时 PWM 第一个脉宽可能多一个计数周期”。
Rev1.50	2025/05/20	1) CAN 控制器注意事项“总线被干扰时发出未定义帧”，变通措施第 2 点新增描述。 2) 新增 TimerA 注意事项：停止计数后 CNTER 寄存器可能写入失败。

版本号	修订日期	修订内容
		3) 新增 DMA 注意事项：DMA 源地址/目标地址与位宽对齐。 4) 手册“ES_HC32F4A0 系列勘误表_Rev1.40”和“ES_HC32A4A0 系列勘误表_Rev1.40”合并并新增 HC32F4A2 为：“ES_HC32F4A0_A4A0_F4A2 系列勘误表_Rev1.50”。
Rev1.51	2025/08/19	新增 PWC 注意事项“高速模式向超低速模式切换注意事项”。
Rev1.52	2026/07/02	新增“OTS 注意事项”。
Rev1.53	2026/10/29	新增 TimerA 注意事项“PWM 输出停止及恢复”。