XHSC 小华半导体
XIAOHUA SEMICONDUCTOR

32 位微控制器

HC32M441 系列

勘误表

Rev1.01　2026 年 10 月

适用对象

产品系列	产品型号
HC32M441 系列	HC32M441JATI HC32M441JCTI HC32M441KATI HC32M441KCTI

声　明

★ 小华半导体有限公司（以下简称：“XHSC”）保留随时更改、更正、增强、修改小华半导体产品和/或本文档的权利，恕不另行通知。用户可在下单前获取最新相关信息。XHSC 产品依据购销基本合同中载明的销售条款和条件进行销售。

★ 客户应针对您的应用选择合适的 XHSC 产品，并设计、验证和测试您的应用，以确保您的应用满足相应标准以及任何安全、安保或其它要求。客户应对此独自承担全部责任。

★ XHSC 在此确认未以明示或暗示方式授予任何知识产权许可。

★ XHSC 产品的转售，若其条款与此处规定不同，XHSC 对此类产品的任何保修承诺无效。

★ 任何带有“®”或“™”标识的图形或字样是 XHSC 的商标。所有其他在 XHSC 产品上显示的产品或服务名称均为其各自所有者的财产。

★ 重要提示：在使用本产品前，请务必查阅官方发布的最新勘误表，充分知悉产品已知修正信息，规避使用风险。

★ 本通知中的信息取代并替换先前版本中的信息。

©2026 小华半导体有限公司 保留所有权利

目 录

适用对象 2
声 明 3
目 录 4
1 摘要 6
2 系统 7
2.1 PWC 注意事项 7
2.1.1 停止模式唤醒异常 7
2.1.2 停止模式注意事项 7
2.1.3 掉电模式注意事项 7
2.2 SRAM 注意事项 7
2.2.1 SRAM0/ Ret SRAM ECC 7
2.2.2 SRAM0 特定地址访问限制 8
2.3 INTC 注意事项 8
2.3.1 EXTINT 使用限制 8
2.3.2 中断配置流程注意事项 8
2.4 DMA 注意事项 9
2.4.1 DMA 源地址/目标地址与位宽对齐 9
2.5 其他 9
2.5.1 寄存器保留位注意事项 9
3 定时器、计数器 10
3.1 Timer6 注意事项 10
3.1.1 三角波计数时 PWM 第一个脉宽可能多一个计数周期 10
3.1.2 停止计数后 CNTER 寄存器可能写入失败 10
3.2 TimerA 注意事项 10
3.2.1 PWM 输出 10
3.2.2 动态修改 PWM 占空比为 100%或 0% 10
3.2.3 三角波计数时 PWM 第一个脉宽可能多一个计数周期 11
3.2.4 PWM 输出停止及恢复 12
3.3 RTC 注意事项 12
3.3.1 控制寄存器 2（RTC_CR2）寄存器位 0 RWREQ 描述追加说明 12
4 通信及接口 13
4.1 I2C 注意事项 13
4.1.1 主机接收模式可能发出多余时钟信号 13

4.1.2 主机接收模式无法判断设备地址是否发送完成 13
4.1.3 超时功能注意事项 13
4.2 SPI 注意事项 13
4.2.1 SPI 主机连续模式可能导致主机多发时钟 13
4.2.2 SPI 只发送通信可能造成数据错误 14
5 模拟 15
5.1 ADC 注意事项 15
5.1.1 ADC 的输入受到干扰 15
版本修订记录 16

1 摘要

本文档主要介绍 HC32M441 系列芯片的使用注意事项和变通措施。

2 系统

2.1 PWC 注意事项

2.1.1 停止模式唤醒异常

■ 问题描述

HCLK 分频系数为 1，PCLK1/2/3/4、EXCLK 分频系数大于等于 8，进 STOP 的 WFI 指令发出后，芯片真正进入停止模式前，如果此时唤醒中断产生，芯片进入停止模式后，可能无法唤醒。

■ 变通措施

1) 时钟频率关系满足 HCLK：外设时钟 = 1:1 或 2:1 或 4:1。

2) 当时钟频率关系 HCLK：外设时钟 > 4:1 时，配置 PCLK1=PCLK3，且 PCLK1 与 PCLK3 使用其最大时钟分频（CMU_SCFGR.PCLK1S=0b110，CMU_SCFGR.PCLK3S=0b110）。

2.1.2 停止模式注意事项

■ 应用注意

进入停止模式的 WFI/ WFE 指令发出后，芯片真正进入停止模式前，此时如果有不用于停止模式唤醒的异常事件产生，芯片会优先响应此异常，不进入停止模式。

2.1.3 掉电模式注意事项

■ 问题描述

进掉电模式的 WFI 指令发出后，芯片真正进入掉电模式前，此时如果有不用于掉电模式唤醒的异常（exception）产生，芯片会优先响应此异常，不进入掉电模式。

■ 变通措施

在进入掉电模式之前，关闭除 NMI 异常以外的所有异常（__set_FAULTMASK(1)）。

2.2 SRAM 注意事项

2.2.1 SRAM0/ Ret SRAM ECC

■ 问题描述

当 SRAM0/ Ret SRAM 的 ECC 功能使能时，向对应的 SRAM 写非 32 位数据时，如果目标地址所在的 32 位字对齐地址的数据发生 1-bit ECC 错误，ECC 功能会将没有纠错的数据写入到 32 位字对齐地址，后续访问该地址时，ECC 错误标志位不置位。

- 变通措施

实施以下任意一条：

1) 禁止 SRAM0/ Ret SRAM 的 ECC 功能（SRAMC_CKCR.ECCMOD[1:0] = 0b00 / SRAMC_CKCR.BECCMOD[1:0] = 0b00）。
2) 写 SRAM0/ Ret SRAM 时，仅进行 32 位字对齐地址的 32 位数据写入。
3) 将 SRAM0/ Ret SRAM 的 ECC 校验允许位 SRAMC_CKCR.ECCMOD[1:0] / SRAMC_CKCR.BECCMOD[1:0]设置为 0b11 或 0b10，若发生 1-bit ECC 错误按未纠错处理。

2.2.2 SRAM0 特定地址访问限制

- 问题描述

  CPU 或 DMA 对 SRAM0 的特定地址（0x2000 0000~0x2000 0002）进行读访问的同时，DMA 或 CPU 读访问 SRAM0 的任意地址（0x2000 0000~0x2000 3FFF），可能会读到 SRAM0 特定地址（0x2000 0000~0x2000 0002）的数据。

- 变通措施

  CPU 或 DMA 读访问 SRAM0 任意地址时，DMA 或 CPU 不使用 SRAM0 的 0x2000 0000~0x2000 0002 地址空间，反之亦然。

2.3 INTC 注意事项

2.3.1 EXTINT 使用限制

- 问题描述

同 Pin 位号的外部中断功能同时使能，外部中断信号由所有使能对应管脚的电平的逻辑或条件决定。例如同时使能 PA0 和 PB0 的外部中断（PCRA0.INTE=1 且 PCRB0.INTE=1），低电平有效，需 PA0、PB0 同时为低时，外部中断通道 0 被响应。

- 变通措施

每个外部中断通道可配置的 I/O 不止一个，使用同一通道的外部中断，不要配置多个 Pin。例如：PA0 和 PB0 的外部中断不要同时使能。

2.3.2 中断配置流程注意事项

- 问题描述

在 EXTINT 的中断配置流程中，在外部管脚为高电平情况下有下述问题：

1) 当选择 EXTINT 上升沿中断时，先使能 NVIC（NVIC_EnableIRQ），后使能外设中断，会立即产生一个中断信号；
2) 当选择 EXTINT 下降沿中断时，在 NVIC（NVIC_EnableIRQ）使能的情况下，关闭外设中断，会立即产生一个中断信号。

■ 变通措施

EXTINT 的中断配置流程为：

1) 当需要使用中断时，先使能外设中断，再清除 Pending 信号（NVIC_ClearPendingIRQ），最后使能 NVIC 中断（NVIC_EnableIRQ）；

2) 当需要关闭中断时，先关闭 NVIC 中断（NVIC_DisableIRQ），然后关闭外设中断。

2.4 DMA 注意事项

2.4.1 DMA 源地址/目标地址与位宽对齐

■ 应用注意

1) DMA 在 16 bit 位宽传输数据时，需保证源地址/目的地址 half word 对齐。

2) DMA 在 32 bit 位宽传输数据时，需保证源地址/目的地址 word 对齐。

2.5 其他

2.5.1 寄存器保留位注意事项

■ 应用注意

所有寄存器的保留位（除本文提及），请确保芯片使用过程中一直为缺省值，否则可能造成不可预期的结果。

3 定时器、计数器

3.1 Timer6 注意事项

3.1.1 三角波计数时 PWM 第一个脉宽可能多一个计数周期

- 问题描述

三角波计数时，如果 counter 初值设为 0（TMR6_CNTER = 0U），输出的 PWM 第一个脉宽会多一个计数周期。

- 变通措施

三角波计数时，设置 counter 初值为 1（TMR6_CNTER = 1U）。

3.1.2 停止计数后 CNTER 寄存器可能写入失败

- 问题描述

当计数时钟选择 GCONR.CKDIV 不为 0 时，停止计数后立即写 CNTER 寄存器，计数值可能无法正确写入。

- 变通措施

使用以下任意一项即可。

1) 写寄存器 GCONR.START 为 0 停止计数后，通过软件等待一个计数时钟，再写入 CNTER 寄存器。
2) 同时写寄存器 GCONR.START 和 GCONR.CKDIV 为 0 停止计数后，再写入 CNTER 寄存器。

3.2 TimerA 注意事项

3.2.1 PWM 输出

- 问题描述

当使用 PCLK 作为计数时钟且时钟分频数不为 0（BCSTRL.CKDIV[3:0]!=0b0000）时，无法指定计数器启动时端口的输出电平（即 PCONR.STAC[1:0]=0b00 或 0b01 设置无效）。

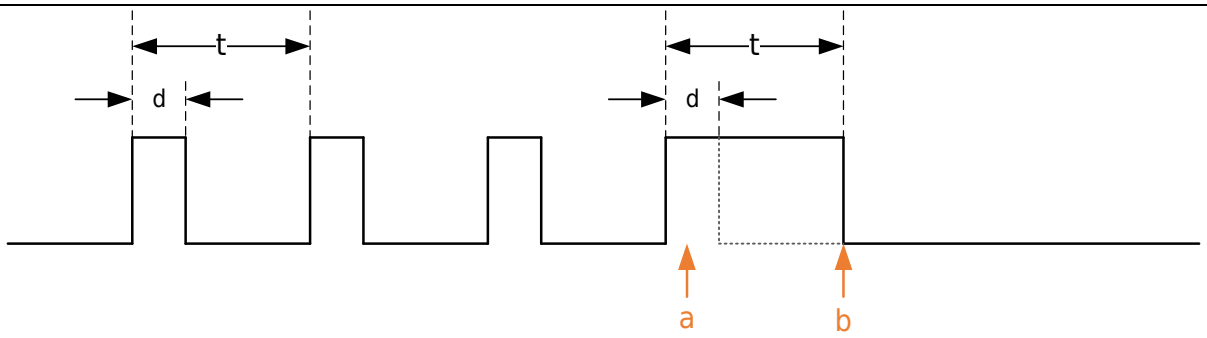
- 变通措施

在使用 PCLK 作为 TimerA 的计数时钟时，若要指定计数器启动时端口的输出电平，需要将 PCLK 的时钟分频数设置为 0（BCSTRL.CKDIV[3:0]=0b0000）。

3.2.2 动态修改 PWM 占空比为 100%或 0%

- 问题描述

使用锯齿波计数模式实现 PWM 输出时，在 PWM 输出过程中，配置 PCONR.FORC 指定 PWM 从下一个周期开始只输出高电平或低电平，以修改 PWM 占空比为 100%或 0%时，在指定电平生效之前，PWM 会保持当前电平状态至该周期结束，如图 3-1 所示。



PWM配置：
PCONR.STAC = 0b01, PCONR.STPC = 0b00
PCONR.CMPC = 0b00, PCONR.PERC = 0b01
PWM周期为t，高脉宽为d

a时刻，PWM输出高电平，配置PCONR.FORC为0b10，指定PWM只输出低电平；
b时刻，PCONR.FORC的配置生效。
在配置了PCONR.FORC且在其生效之前，PCONR.CMPC的配置失效，使PCONR.FORC生效之前PWM端口输出了一个完整周期的高电平。

图 3-1 动态修改 PWM 占空比为 0%

■ 变通措施

PWM 初始化配置要求：

在初始化 PWM 时，比较值匹配和周期匹配时的端口状态配置为相反的固定电平，不使用反转电平。

动态修改 PWM 的占空比改为 100%：

将比较值匹配和周期匹配时的端口状态，配置为高电平，即 PCONR.CMPC 和 PCONR.PERC 都配置为 0b10。

动态修改 PWM 的占空比改为 0%：

将比较值匹配和周期匹配时的端口状态，配置为低电平，即 PCONR.CMPC 和 PCONR.PERC 都配置为 0b00。

恢复 PWM 的占空比为初始化时的占空比：

将比较值匹配和周期匹配时的端口状态，恢复为初始化时的配置，即可恢复占空比。

3.2.3 三角波计数时 PWM 第一个脉宽可能多一个计数周期

■ 问题描述

三角波计数时，如果 counter 初值设为 0（TMRA_CNTER = 0U），输出的 PWM 第一个脉宽会多一个计数周期。

■ 变通措施

三角波计数时，设置 counter 初值为 1（TMRA_CNTER = 1U）。

3.2.4 PWM 输出停止及恢复

■ 问题描述

在 PWM 输出过程中，若使用 PCONRm.OUTEN（m 表示通道）停止 PWM 输出和恢复 PWM 输出，在停止到恢复的切换过程中，PWM 可能输出非期望电平或毛刺。

■ 变通措施

通过 PCONRm.FORC 先将 PWM 内部输出强制为期望电平，再将 PWM 引脚配置为 GPIO 功能并输出期望电平，从而在切换过程中保持电平连续。

停止 PWM 输出流程：

1) 配置 PCONRm.FORC，将 PWM 输出强制为停止后的期望电平；
2) 将该引脚 PCRxy.POUT 写为相同电平（x 表示端口，y 表示引脚号），并将 PCRxy.POUTE 置 1，使能该引脚 GPIO 输出；
3) 写 PCRxy.LTE 为 1 使能输出锁存；
4) 写 PFSRxy.FSEL 为 0 将该引脚功能切换为 GPIO，由 GPIO 接管输出；
5) 写 PCRxy.LTE 为 0 关闭输出锁存。

恢复 PWM 输出流程：

1) 写 PCRxy.LTE 为 1 使能输出锁存；
2) 写 PFSRxy.FSEL 为 PWM 功能号将该引脚功能切换回 PWM 功能；
3) 写 PCRxy.LTE 为 0 关闭输出锁存；
4) 将 PCONRm.FORC 清零，撤销强制电平，由 PWM 正常驱动输出。

3.3 RTC 注意事项

3.3.1 控制寄存器 2（RTC_CR2）寄存器位 0 RWREQ 描述追加说明

■ 应用注意

原有描述：

在读出/写入日历寄存器时，需要将 RTC_CR2 的 RWREQ 位置 1，请求读写，由于计数器在连续计数，请在 1 秒的时间内完成读出/写入操作并将该位清 0。

追加描述：

如果 RWREQ 位置位后，没有在 1 秒内及时清零，将会导致计数器停止计数，使实时时钟 RTC 不能精确计时；如果 RWREQ 位一直维持置位状态，则实时时钟 RTC 会停止计时。

4 通信及接口

4.1 I2C 注意事项

4.1.1 主机接收模式可能发出多余时钟信号

■ 问题描述

进入主机接收模式后，当 DRR 寄存器或移位寄存器为空时，主机会主动发送时钟信号读取数据，应用代码可能无法及时将 CR1.STOP 标志位写 1 停止时钟信号的发送，导致发出多余的时钟信号。若这种情况下 DRR 寄存器有多余的数据未被读取，此时无法通过 CR1.STOP 标志位写 1 发出停止条件。

■ 变通措施

结合以下两个步骤规避：

1) 配置作为主机时，将 CR4.BUSWAIT 寄存器位写 1 使能总线等待功能。此功能使能后，当 DRR 寄存器中有数据还未被读走时，主机不会继续发送时钟信号读取数据。
2) 主机接收数据流程中，当最后 1 Byte 数据进入 DRR 寄存器后（判断 SR.RFULLF 为 1），首先写 CR1.STOP 寄存器发送停止条件使主机退出接收模式，然后再读取 DRR 寄存器内的数据。

4.1.2 主机接收模式无法判断设备地址是否发送完成

■ 问题描述

写 DTR 寄存器发送设备地址后，I2C 模块立即进入主机接收模式，此时 SR.TENDF 寄存器标志位失效，无法通过 SR.TENDF 标志来判断地址是否发送完成。

■ 变通措施

写 DTR 寄存器发送设备地址后，通过等待 SR.TRA 标志位为 0 来判断地址是否发送完成。

4.1.3 超时功能注意事项

■ 问题描述

超时功能寄存器 SLTR.TOUTHIGH 和 SLTR.TOUTLOW 位宽为 16 位，超时功能计时范围有限。

■ 变通措施

在超时中断内进行软件计数实现对较长超时时间的功能需求。

4.2 SPI 注意事项

4.2.1 SPI 主机连续模式可能导致主机多发时钟

■ 问题描述

SPI 主机全双工、连续通信模式、相位为 0（CPHA=0）时，在读取完最后一个数据后，立即退出连续模式可能导致主机多发时钟。

■ 变通措施

通过软件等待至少 1 个 SCK 后再退出连续模式。

4.2.2 SPI 只发送通信可能造成数据错误

■ 问题描述

SPI 主机连续模式只发送通信、SPI 从机连续模式/常规模式只发送通信，无法确认数据发送完成。在最后一个数据写入到 DR 寄存器，并检测到 TDEF 标志置位后，如果立刻退出连续模式或关闭 SPI，可能造成最后一个数据错误。

■ 变通措施

1) SPI 主机连续模式只发送通信和 SPI 从机连续模式只发送通信

在最后一个数据写入到 DR 寄存器，并检测到 TDEF 标志置位后，延迟“足够时长”再退出连续模式或关闭 SPI，“足够时长”对应的计算公式如下（时序如图 4-1 所示）：

a) 相位为 0（CPHA=0）：1+T4+数据位宽（CFG2.DSIZE），单位为 SCK。

b) 相位为 1（CPHA=1）：T4+数据位宽（CFG2.DSIZE），单位为 SCK。

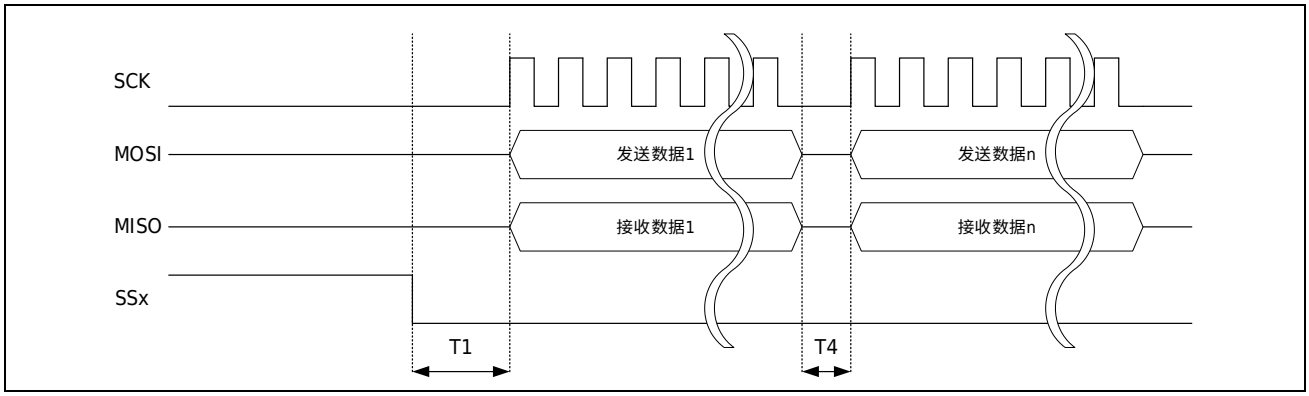


图 4-1 连续通信

2) SPI 从机常规模式只发送通信

在最后一个数据写入到 DR 寄存器，并检测到 TDEF 标志置位后，延迟“足够时长”再退出连续模式或关闭 SPI，“足够时长”对应的计算公式如下（时序如图 4-2 所示）：

a) 相位为 0（CPHA=0）：1+T1+2*T2+T3+数据位宽（CFG2.DSIZE），单位为 SCK。

b) 相位为 1（CPHA=1）：T1+2*T2+T3+数据位宽（CFG2.DSIZE），单位为 SCK。

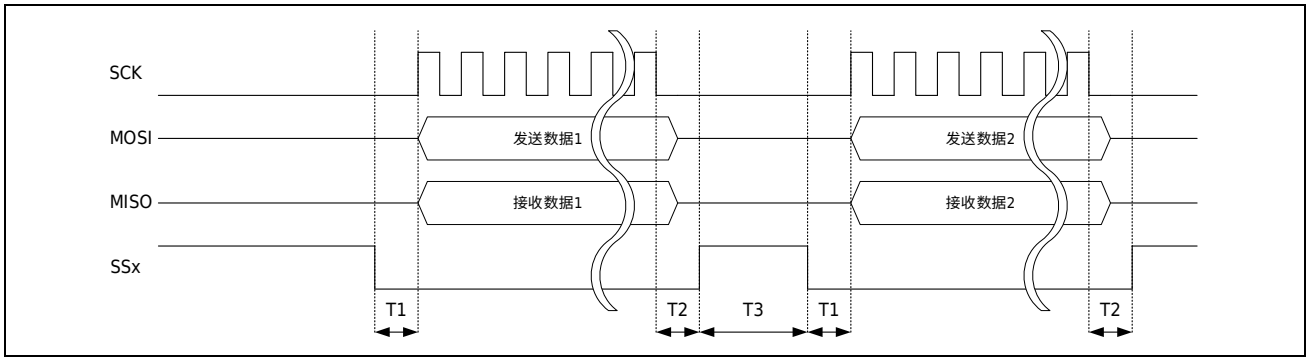


图 4-2 常规通信

5 模拟

5.1 ADC 注意事项

5.1.1 ADC 的输入受到干扰

■ 问题描述

当 ADC 通道转换时，避免 PA0~PA7、PB0~PB1、PB10、PC0~PC5 端口翻转，否则将导致转换精度变差（表现为：DC 电压输入，转换结果为一定范围内跳动的值）。

■ 变通措施

建议 1：降低输入时钟的频率和摆幅，以减小干扰摆幅。

建议 2：多次转换取平均值。

建议 3：ADC 的输入通道在 PCB 板上要远离高速时钟信号。

版本修订记录

版本号	修订日期	修订内容
Rev1.00	2025/03/31	初版发布。
Rev1.01	2026/10/29	新增 TimerA 注意事项“PWM 输出停止及恢复”。